

VŠB – Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra elektroniky

Mikropočítačový řídicí systém s mikrokontroléry řady
Texas Instruments C2000

Microcomputer Control System with Texas Instruments
C2000 Series Microcontrollers

Zadání diplomové práce

Student:

Bc. Tomáš Fišera

Studijní program:

N2649 Elektrotechnika

Studijní obor:

2612T003 Aplikovaná elektronika

Téma:

Mikropočítačový řídicí systém s mikrokontroléry řady Texas Instruments C2000
Microcomputer Control System with Texas Instruments C2000 Series Microcontrollers

Jazyk vypracování:

čeština

Zásady pro vypracování:

1. Podle pokynů vedoucího práce specifikujte vlastnosti nově navrhovaného řídicího systému s novými mikrokontroléry řady C2000 firmy Texas Instruments.
2. Podle specifikace proveďte hardwarový návrh mikropočítačového systému.
3. Realizujte navržený mikropočítačový systém.
4. Ověřte funkčnost mikropočítačového systému.
5. Vypracujte průvodní dokumentaci k navrženému systému.

Seznam doporučené odborné literatury:

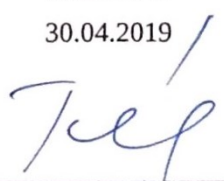
Podle pokynů vedoucího závěrečné práce.

Formální náležitosti a rozsah diplomové práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.


Vedoucí diplomové práce: **Ing. Martin Sobek, Ph.D.**

Datum zadání: 01.09.2018

Datum odevzdání: 30.04.2019


doc. Ing. Petr Palacký, Ph.D.
vedoucí katedry

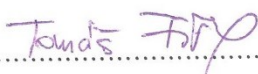



prof. Ing. Pavel Brandštetter, CSc.
děkan fakulty

Prohlášení

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně. Všechny prameny a publikace jsou uvedeny v seznamu použité literatury. Sepsáním a zkonstruováním této práce nebyla porušena autorská práva třetích stran.

V Ostravě dne 20.4.2019


.....
Tomáš Fišera

Poděkování

Rád bych tímto poděkoval Ing. Martinu Sobkovi, Ph.D. za rady poskytnuté k této práci, a celkově za připomínky na stranu mé práce vedoucí k její lepší úrovni. Mé poděkování dále patří Ing. Danielu Kouřilovi, který se mnou velice ochotně konzultoval praktickou část diplomové práce.

Abstrakt

Jako hlavní cíl si klade tato diplomová práce návrh a konstrukci řídicího systému s kontrolérem z řady C2000 firmy Texas Instruments. Jeho následné využití se očekává k výukovým účelům na katedře elektroniky, nebo i k reálnému využití k řízení pohonu v průmyslu. Nedílnou součástí práce je i teoretická část, která si klade za cíl přiblížit základní funkce a nastavení procesoru. Jelikož je však podpůrná literatura k procesoru velmi rozsáhlá, není v možnostech této práce popsat všechny detaily. Snahou však je uživateli ve zkratce přiblížit jednotlivé bloky, přičemž již uživatel sám musí dohledat ostatní informace dle potřeby v manuálech poskytnutých výrobcem.

V příloze pak lze najít konstrukční podklady navrženého systému. Elektronická příloha v komprimovaném archivu obsahuje kompletní návrh v programu Autodesk Eagle a tabulku v MS Excel popisující rozvržení jednotlivých pinů.

Klíčová slova

Mikroprocesor, periférie, řízení, sběrnice, převodník, návrh, plošný spoj, PC104, systém, architektura, DC-DC měnič, komunikace, PWM, přerušení, čítač

Abstract

The main task of this diploma thesis is design and construction of microcomputer control system with Texas Instruments C2000 series MCU. The system will be used for educational purpose at electronic department, but it can be used in real application for industrial drive control. There is a theoretical part which describes basic functions and processor settings. However, the datasheet is very comprehensive, so there aren't described all details. This work effort is basic description of individual blocks, but user must find other detail informations in manufacturers manuals.

Attachment contains construction sheets of designed system. Electronic attachment in compressed archive contains whole Autodesk Eagle design and MS Excel table with pin layout.

Keywords

Microprocessor, periferics, device, bus, converter, design, printed circuit board, PC104, system, architecture, DC-DC converter, communication, PWM, interrupt, counter

Obsah

1	Seznam obrázků	7
2	Seznam zkratk	8
3	Úvod k použitému procesoru	9
4	Možnosti použití.....	9
4.1	Automobilový průmysl	9
4.2	Průmyslové pohony.....	10
4.3	Měření a zpracování signálů	11
4.4	Měniče pro solární panely	12
4.5	Ostatní	12
5	Periferie MCU TMS320F2837xD.....	13
5.1	Systémové periferie.....	13
5.1.1	Reset.....	13
5.1.2	Přerušování.....	13
5.1.3	Taktování.....	15
5.1.4	Časovače.....	15
5.1.5	Watchdog	16
5.1.6	Zabezpečovací modul.....	17
5.2	Program ROM a bootování	17
5.2.1	Parallel I/O	17
5.2.2	SCI mód	18
5.2.3	WAIT mód	18
5.2.4	GET mód.....	18
5.3	Přímý přístup do paměti (DMA)	18
5.3.1	Propustnost.....	19
5.3.2	Rozhodování mezi CPU a CLA	19
5.4	Control Law Accelerator (CLA)	20
5.4.1	CLA paměti.....	21
5.5	GPIO	22
5.5.1	Asynchronní vstup.....	22
5.5.2	Synchronní vstup.....	22
5.5.3	Kvalifikace vstupu za použití vzorkovacího okna.....	22
5.6	Crossbar (X-BAR).....	23
5.6.1	Vstupní X-BAR.....	23
5.6.2	ePWM X-BAR	23
5.7	Výstupní X-BAR.....	23
5.8	Analogově digitální převodník.....	24

5.8.1	Taktování převodníku	24
5.8.2	Rozlišení.....	24
5.8.3	Signálové módy.....	25
5.9	Digitálně analogový převodník	25
5.10	ePWM	26
5.10.1	Časová základna (TB)	27
5.10.2	Counter Compare (CC)	28
5.10.3	Action Qualifier (AQ)	29
5.10.4	Generátor ochranné doby (DB)	29
5.10.5	PWM Chopper.....	29
5.10.6	Trip-Zone (TZ).....	30
5.10.7	Event-Trigger (ET).....	31
5.10.8	Digital Compare	31
5.11	eCAP	31
5.12	eQEP	32
5.13	SPI rozhraní.....	33
5.13.1	Master mód.....	33
5.13.2	Slave mód.....	33
5.13.3	Taktování.....	33
5.14	SCI.....	34
5.14.1	Architektura.....	34
5.14.2	Formát přenášených dat	34
5.15	I2C.....	35
5.16	EMIF	35
6	Praktický návrh řídicího systému.....	36
6.1	Zadaná specifikace	36
6.2	Návrh napájecího zdroje.....	37
6.2.1	Jištění.....	37
6.2.2	Zdroj 5 V/ 3 A	38
6.2.3	Zdroj 3,3 V/ 3 A	39
6.3	Návrh procesorové části	39
6.3.1	Přídavný DC-DC měnič	40
6.3.2	Napěťová reference	40
6.3.3	Převodník SCI – RS422	41
6.4	Testování funkčnosti	43
7	Závěr	47
8	Použité zdroje.....	48

9	Zdroje obrázků	49
10	Přílohy	51

1 Seznam obrázků

Obrázek 1	Konfigurace řízení průmyslového pohonu se staršími MCU [I]	10
Obrázek 2	Konfigurace řízení průmyslového pohonu s procesorem Delfino [II]	10
Obrázek 3	Počet instrukčních cyklů nutný pro Párkové transformaci (s TMU jednotkou a bez ní) [III]	11
Obrázek 4	Počet instrukčních cyklů nutný pro FFT analýzu signálu (s VCU jednotkou a bez ní) [IV]	11
Obrázek 5	Analogová vs digitální smyčka řízení měniče [V]	12
Obrázek 6	Architektura přerušení [VI]	14
Obrázek 7	Diagram přerušení [VII]	15
Obrázek 8	Blokové schéma Watchdog modulu [VIII]	16
Obrázek 9	Blokové schéma paralelního bootování [IX]	18
Obrázek 10	Blokové schéma CLA jednotky [X]	21
Obrázek 11	Blokové schéma kvalifikace vstupu za použití vzorkovacího okna [XI]	22
Obrázek 12	Blokové schéma Input X-BAR [XII]	23
Obrázek 13	Architektura GPIO výstupního X-BARu [XIII]	24
Obrázek 14	Sample&Hold obvod při jednoduchém módu [XIV]	25
Obrázek 15	Sample&Hold obvod při diferenčním módu [XV]	25
Obrázek 16	Blokové schéma DAC převodníku [XVI]	26
Obrázek 17	Zapojení a submoduly ePWM modulu [XVII]	27
Obrázek 18	Přičítací mód čítače časové základny [XVIII]	27
Obrázek 19	Odčítací mód čítače časové základny [XVIII]	28
Obrázek 20	Střídavý mód čítače časové základny [XVIII]	28
Obrázek 21	Princip vzniku řídicích signálů pro PWM v komparačním bloku (mód čítače je přičítací) [XIX]	28
Obrázek 22	Schéma generátoru ochranné doby [XX]	29
Obrázek 23	Namodulování řídicího signálu na vysoký kmitočet s vložením startovacího pulzu [XXI]	30
Obrázek 24	Zachytávací mód eCAP modulu [XXII]	31
Obrázek 25	APWM mód eCAP modulu [XXII]	32
Obrázek 26	Disk inkrementálního enkodéru s výstupními signály [XXIII]	32
Obrázek 27	Typický formát přenášených dat SCI [XXIV]	34
Obrázek 28	Ukázka sběrnice I2C [XXV]	35
Obrázek 29	Ukázka architektury PC/104 [XXVI]	36
Obrázek 30	Blokové schéma napájecího zdroje	37
Obrázek 31	Vypínací charakteristika použité pojistky Shurter F6,3 A [XXVII]	38
Obrázek 32	Schéma zdroje 5 V/ 3 A [XXVIII]	39
Obrázek 33	Schéma zdroje 3,3 V/ 3 A [XXIX]	39
Obrázek 34	Blokové schéma procesorové části	40
Obrázek 35	Schéma DC-DC měniče na 1,2 V [XXX]	40
Obrázek 36	Minimální zapojení reference s výstupním napětím 3 V [XXXI]	41
Obrázek 37	Rozložení pinů v konektorech MCU desky	42
Obrázek 38	Zapojení pro měření zatěžovacích charakteristik	43
Obrázek 39	Zatěžovací charakteristika zdroje 5 V	43

Obrázek 40 Zatěžovací charakteristika zdroje 3,3 V	44
Obrázek 41 Ukázka komunikace procesoru a PC při nahraném demo programu SCI_ex3_echoback	45
Obrázek 42 Zachycení taktovacího signálu 10MHz z rezonátoru	46
Obrázek 43 Signál vygenerovaný demo programem pro blikání LED.....	46

2 Seznam zkratk

MCU	- microprocessor central unit (mikroprocesorová jednotka)
TMU	- trigonometric math unit (jednotka trigonometrických funkcí)
VCU	- Viterbi Complex math Unit (jednotka pro výpočet komplexních čísel)
CLA	- Control Law Accelerator (jednotka především pro složité matematické výpočty)
FPU	- Floating Point Unit (jednotka s plovoucí řadovou čárkou)
eCAP	- enhanced capture
eQEP	- enhanced quadrature encoder pulse (vyhodnocení čidla polohy)
ePWM	- enhanced pulse width modulation (blok pulzní modulace)
EMIF	- external media interface (vnější datová sběrnice)
CAN	- control area network (sériová datová sběrnice)
uPP	- universal parallel port (univerzální paralelní port)
FPGA	- field programmable gate array (programovatelná hradlová pole)
PIE	- Peripheral Interrupts Expansion module (rozšiřovací modul přerušení)
IFR	- Interrupt Flag Register (flag registr přerušení)
IER	- Interrupt Enable Register (povolovací registr přerušení)
DMA	- Direct Memory Access (přímý přístup do paměti)
TB	- Time Base (časová základna pro řízení PWM)
CC	- Counter Comparator (komparátor čítače v PWM)
DB	- Death Band (ochranná doba)
TZ	- Trip Zone
SCI	- Serial Communications Interface (sériové komunikační rozhraní)
NRZ	- Non Return to Zero (signál nevracející se k nule)
UART	- Universal Asynchronous Reciever Transmitter (univerzální asynchronní přenos)
SDA	- Serial Data
SCL	- Serial Clock (taktování sériové sběrnice)
IC	- Integrated Circuit (integrovaný obvod)

3 Úvod k použitému procesoru

Procesory řady C2000 jsou optimalizovány pro zpracování, měření a akční zásahy pro zvýšení výkonu uzavřené regulační smyčky v real-time aplikacích, jako je řízení pohonů, měničů pro solární panely, řídicích jednotek pro elektrická vozidla či měření a zpracování signálů. [1]

Delfino TMS320F2837xD je výkonný 32bitový procesor, pracující s plovoucí desetinnou čárkou. Jedná se o dvoujádrový procesor s možností taktování až na 200MHz. Tato nová řada je významně rychlejší díky novému TMU akcelerátoru, který se stará o velmi rychlé zpracování algoritmů s trigonometrickými operacemi, a díky VFU akcelerátoru, který zase snižuje čas potřebný pro operace s komplexními čísly. [1]

Řada F2837xD navíc obsahuje dva CLA koprocesory. CLA je nezávislý 32bitový procesor s plovoucí řadovou čárkou, pracující stejnou rychlostí jako hlavní jádra. Tato schopnost paralelního zpracování zdvojnásobuje výpočetní výkon. CLA je vhodné použít pro aplikace, u nichž je kladen důraz na velmi rychlé zpracování. Jelikož jsou koprocesory dva, lze aktuální úlohu rozdělit na dvě nezávislá zpracování. Například jedno CLA jádro může být použito pro vyhodnocení rychlosti a polohy rotoru, zatímco druhé jádro se stará o řízení momentu a regulaci proudové smyčky. [1]

V čipu jsou také integrovány výkonné analogové periferie. Mezi hlavní se řadí 4 nezávislé 16bitové AD převodníky starající se o rychlé zpracování různých analogových signálů. Sigma-delta filtr pracující ve spolupráci se sigma-delta modulátorem zase umožňuje izolované měření proudu. Mezi další analogové periferie spadá DA převodník, eCAP, PWM, a eQEP. [1]

Periferie typu EMIF, CAN a uPP rozšiřují možnosti připojení procesoru k okolí. Rozhraní uPP podporuje vysokorychlostní paralelní spojení FPGA či jiných procesorů s rozhraním uPP. V neposlední řadě umožňuje procesor uživateli spojení skrze USB. [1]

4 Možnosti použití

4.1 Automobilový průmysl

Procesory C2000 mají bohatou historii v automobilových aplikacích díky unikátní technologii založené na 32bitovém DSP jádře, pokročilým PWM, integrovaným rychlým AD převodníkům. [2]

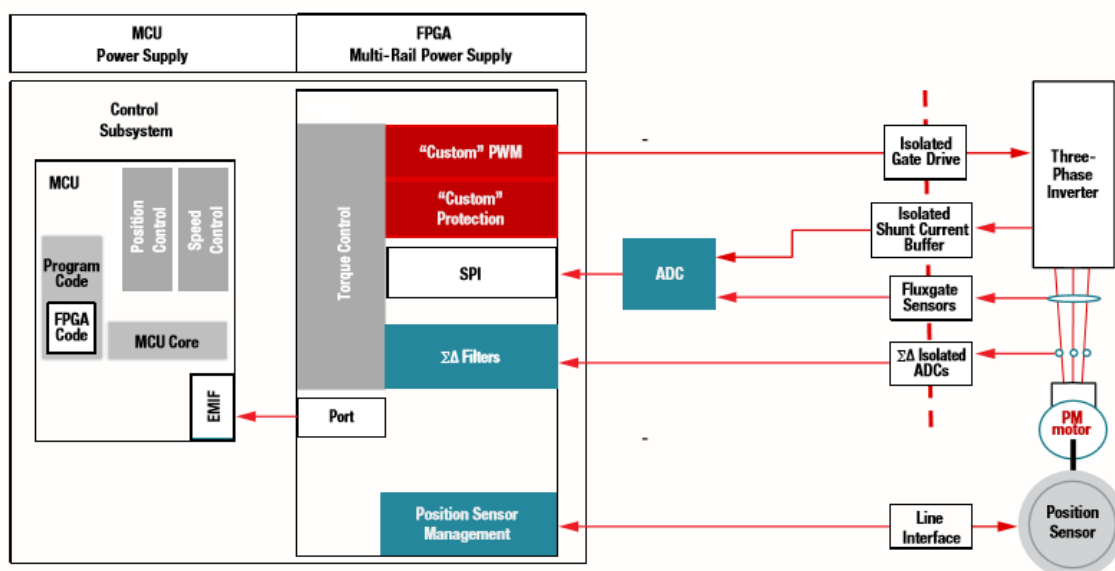
Jelikož je na trhu stále více vozidel na elektrický pohon, je potřeba řešit otázku nabíjecích jednotek. Řízení nabíjení na palubě vozidla může obstarávat daný procesor vybavený patřičným softwarem, stejně jako řízení venkovní nabíjecí stanice. Další nedílnou součástí elektromobilů jsou DC/DC měniče, obstarávající potřebnou úroveň stejnosměrného napětí meziobvodu měniče pro elektromotor. Pro všechny tyto aplikace je daný procesor vhodný. [2]

Jelikož jsou poslední dobou kladeny požadavky na vysoký výkon měničů s minimálními výkonovými ztrátami, je potřeba klást důraz na výběr správné metody řízení, běžících na správných komponentech. Proto je tento MCU volen mnoha firmami jako kontrolér trakce v oblasti automotive. [2]

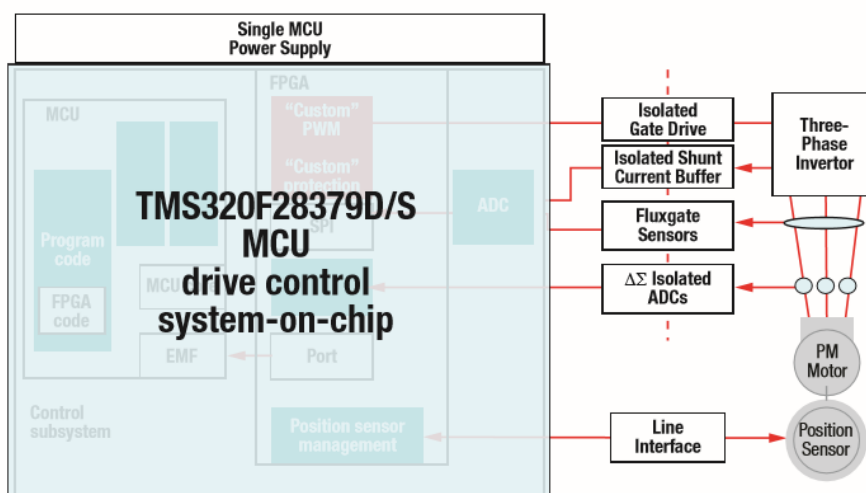
4.2 Průmyslové pohony

Dřívější konfigurace pro řízení průmyslových pohonů byla samotné MCU a k tomu FPGA zařízení. FPGA ve velkém množství případů potřebovalo vícenásobné úrovně napájecího napětí, čímž se celková konstrukce komplikovala. V případě procesorů Delfino tato komplikace odpadá, konfigurace systému je totiž „drive control system on chip“. FPGA zařízení připojitelná sice jsou, není to však pro základní konfiguraci pohonu nutné. Jelikož je vše integrováno v jednom čipu, probíhá veškerá regulace velmi rychle. Například pokud bude motor řízen momentově, dojde ke změně PWM již 2us po započetí měření analogových veličin na straně motoru. V případě regulace proudové smyčky je akční zásah dokonce již 1us po započetí měření analogových veličin. [3]

Příklad konfigurace pro regulaci průmyslového pohonu může být např. následující. Jedno jádro CPU, jedno jádro CLA a TMU mohou být použity pro řízení funkce měniče (např. momentová smyčka). Druhé jádro CPU+CLA+TMU mohou být použity na měření a výpočty rychlostí otáčení rotoru či jeho aktuální polohy atd. [3]



Obrázek 1 Konfigurace řízení průmyslového pohonu se staršími MCU [I]



Obrázek 2 Konfigurace řízení průmyslového pohonu s procesorem Delfino [II]

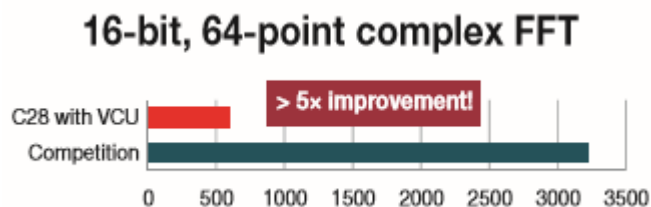
4.3 Měření a zpracování signálů

O měření signálů se starají AD převodníky s 12bitovými jednoduchými vstupy či 16bitovými diferenčními vstupy. Rychlosti převodů jsou od 1MSPS až po více než 12MSPS (million samples per second). Jelikož je daný typ procesoru postaven na základech modifikované Harvardské architektury, je zpracování signálů velmi rychlé. Procesor umí operace typu registr-registr. Do jednoho registru tedy data ukládá, zatímco z registru jiného již data načítá. [4]

U starších řad mikroprocesorů zabíralo zpracování signálů velké množství výpočetního výkonu. U procesorů řady C2000 jsou však přítomny pomocné výpočetní jednotky jako TMU a VCU. Trigonometrická jednotka se stará o rychlé řešení funkcí jako SIN, COS, ARCTAN a 1/X. Tyto funkce trvaly starším procesorům 30-90 instrukčních cyklů. Jednotka TMU potřebuje k řešení těchto funkcí průměrně 5 instrukčních cyklů. Obdobně účinná je i Viterbi komplexní jednotka starající se o řešení komplexních čísel. [4]



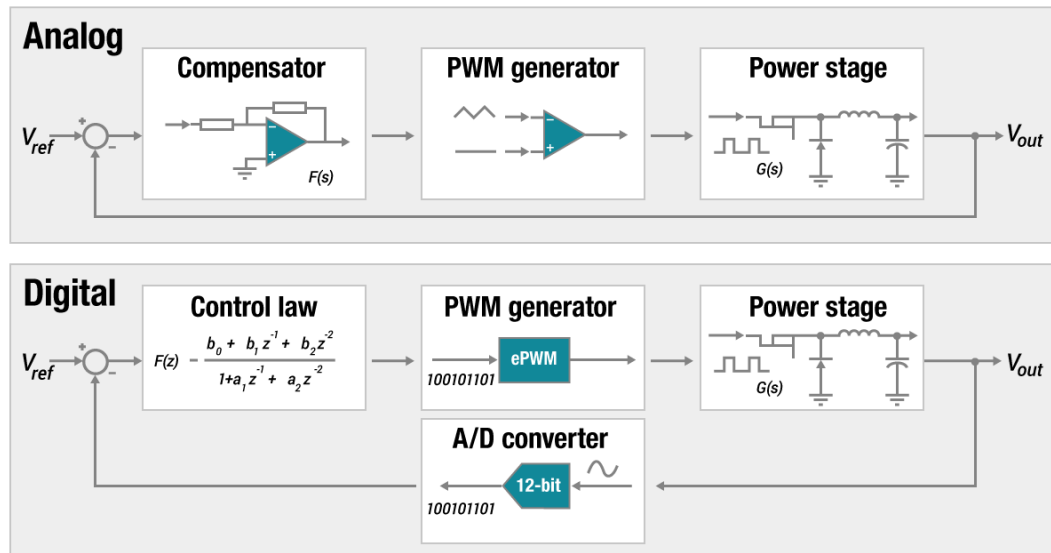
***Obrázek 3** Počet instrukčních cyklů nutný pro Párkovou transformaci (s TMU jednotkou a bez ní) [III]*



***Obrázek 4** Počet instrukčních cyklů nutný pro FFT analýzu signálu (s VCU jednotkou a bez ní) [IV]*

4.4 Měníče pro solární panely

Problematika měničů pro solární panely je velmi široká. Používají se totiž měniče jak DC-DC (ukládání energie do akumulátorů), tak i měniče DC-AC (střídače pro dodávání energie do sítě). Řídicí elektronika měničů bývala vesměs analogová. V dnešní době se již používá digitální řízení. Náhradní smyčka měničů je na obr. níže.



Obrázek 5 Analogová vs digitální smyčka řízení měniče [V]

4.5 Ostatní

- Pokročilé jízdní asistenty řidiče automobilu
 - Zpracování systému pomocných kamer
 - Noční vidění
 - Monitorování řidiče
 - Radar pro zabránění srážky s překážkou
 - Vyhodnocení senzorů pro autonomní řízení
- Automatizace budov
 - řídicí jednotky pro protipožární ochranu
 - zabezpečovací systémy
 - řízení eskalátorů či výtahů
- Síťová infrastruktura
- Zdravotnické přístroje [6]

5 Periferie MCU TMS320F2837xD

5.1 Systémové periferie

5.1.1 Reset

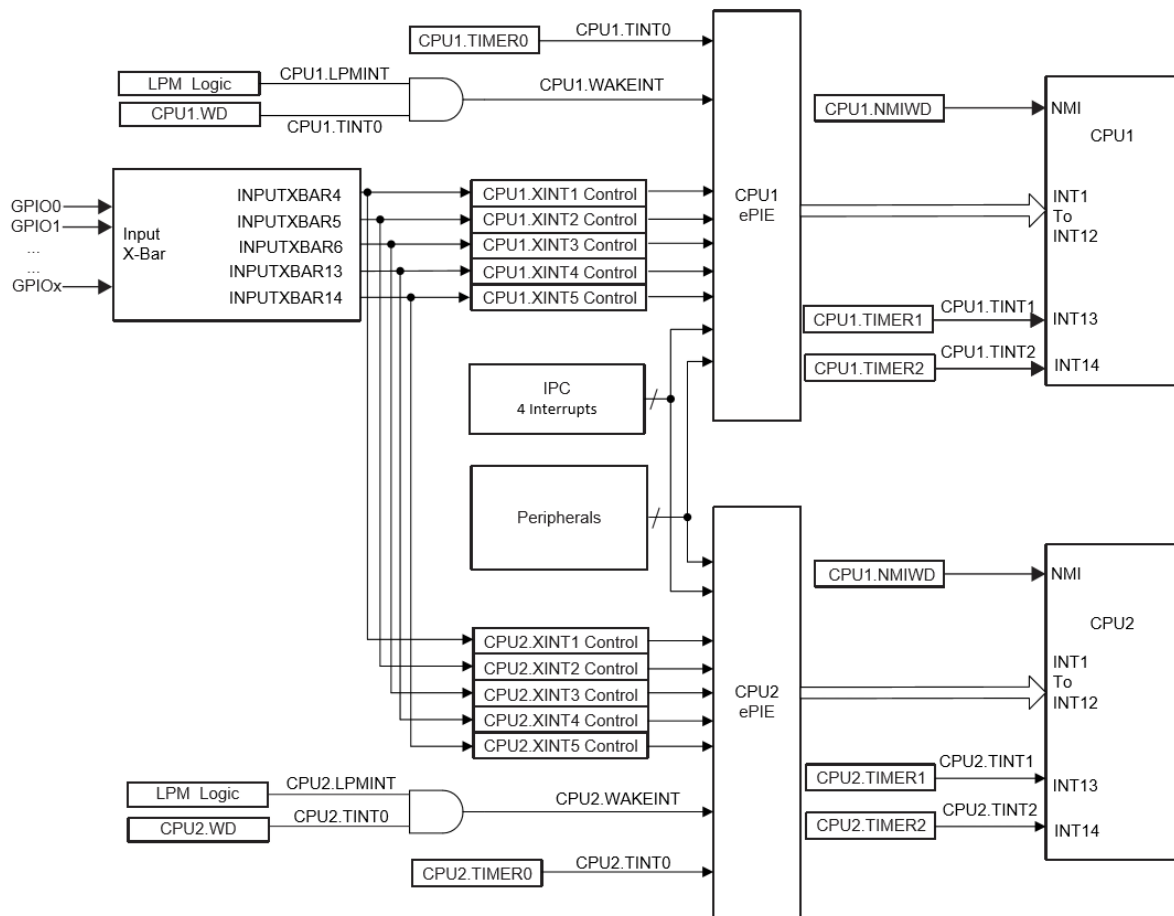
Resetovací systém může být rozdělen do několika podskupin [7]

- Chip-level resety – resetují většinu či všechny periferie
 - XRS – externí reset přes tlačítko
 - POR – reset při zapnutí
 - WDRS – watchdog reset
 - NMIWDRS – nemaskovatelný watchdog reset
- Systémové resety – resetují určitou podmnožinu periférií kromě systémových nastavení
 - SYSRS – debugger reset
 - SCCRESET – zabezpečovací reset
- Resety druhého jádra – resetují pouze druhé jádro a jeho periferie
 - CPU2.WDRS – watchdog reset
 - CPU2.NMIWDRS – nemaskovatelný watchdog reset druhého jádra
 - CPU2.SYSRS – debugger reset druhého jádra
 - CPU2.SCCRESET – zabezpečovací reset druhého jádra
- Speciální resety - umožňují speciální chod zařízení
 - HIBRESET – probuzení z hibernace
 - CPUx.HWBISTRs – testovací reset pouze samotného jádra (periférií nikoli)
 - TRST – reset pomocí JTAG

5.1.2 Přerušení

Přerušení je signál, který způsobí pozastavení aktuální operace a vykonání jiné části kódu známé jako obsluha přerušení. Toto je užitečná funkce pro řešení událostí podpůrných periférií. Jelikož jsou přerušení asynchronní vzhledem k programu, je nutno dávat pozor na možné konflikty mezi různými druhy přerušení a hlavním programem. [7]

Tento procesor obsahuje 14 základních zdrojů přerušení. Dva z nich (INT13 a INT14) jsou připojeny přímo na časovače 1 a 2. Zbýlých dvanáct je připojeno na rozšiřující modul přerušení (PIE). Jedná se v podstatě o multiplexor, který vybírá jeden ze 16 zdrojů přerušení pro každé jádro CPU. Toto umožňuje procesoru obsloužit velké množství periférií. Cesta přerušovacího signálu je rozdělena na 3 části – periferie, PIE a CPU. Každá část má své vlastní *enable* a *flag* registry. Tento systém umožňuje CPU vyřizovat pouze jedno přerušení, zatímco ostatní přerušení čekají. Priority přerušení jsou nastaveny softwarově. [7]



Obrázek 6 Architektura přerušení [VI]

5.1.2.1 Periferijní stupeň

Každá periferie má vlastní přerušovací konfiguraci. Některé periferie mohou díky více událostem spustit jeden a ten samý přerušovací signál. Kupříkladu komunikační jednotka může používat jedno přerušování jak pro potvrzení přijatých dat, tak i pro indikaci chybného přenosu dat. Příčinu přerušování lze zjistit načtením stavového registru dané periferie. [7]

5.1.2.2 PIE stupeň

Tato část poskytuje individuální *flag* a *enable* bity pro každý z přerušovacích signálů, které bývají nazývány PIE kanály. Tyto kanály jsou sdruženy dle jejich přiřazeného CPU. Každá PIE skupina má jeden 16bitový *enable* registr (PIEIERx), jeden 16bitový *flag* registr (PIEIFRx) a jeden jedno-bitový potvrzovací registr (PIEACK). PIEACK registr funguje jako společná maska přerušování pro vstupní PIE skupinu. [7]

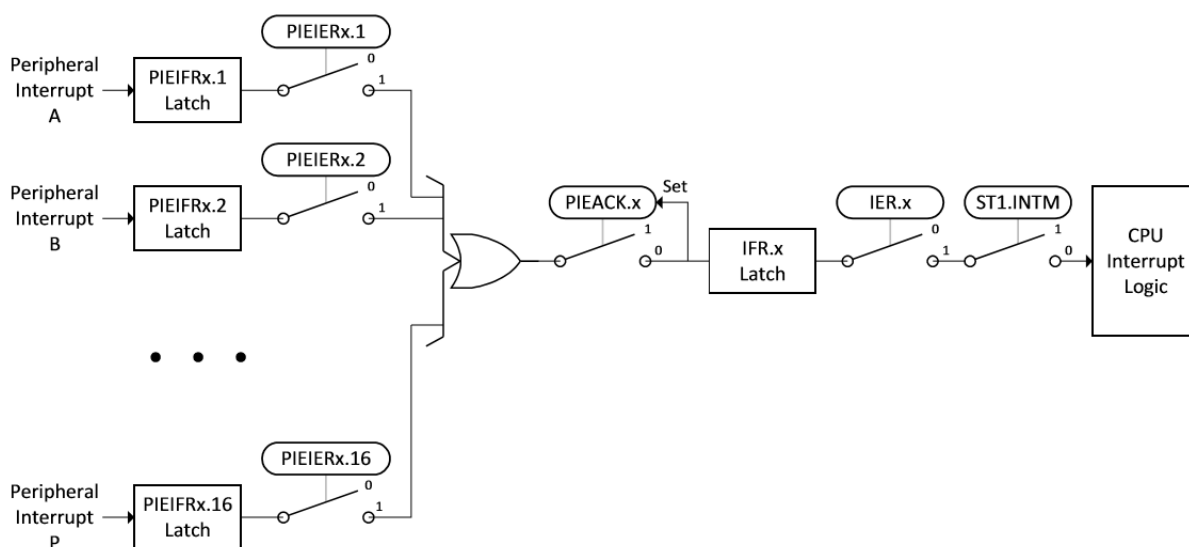
Pokud CPU obdrží požadavek na přerušování, vyžádá si adresu přerušování z PIE. PIE vrátí vektor pro kanál s nejnižším číslem ve skupině, která má nastaveny *flag* i *enable* bity. Tím je dána vyšší priorita přerušování s nižším číslem v případě, že čeká na vyřízení více přerušování. Pokud nemá žádná skupina nastaveny *flag* i *enable* bity zároveň, PIE vrátí defaultně vektor pro kanál jedna. Tato podmínka se však dá softwarově změnit. [7]

5.1.2.3 CPU stupeň

Stejně jako PIE má i CPU svůj vlastní *flag* a *enable* registr. Má však navíc i globální přerušovací masku, která je ovládána bitem INTM v registru ST1. Pokud je INTM nulován, následující instrukce v *pipeline* poběží se zakázanými přerušeními. [7]

5.1.2.4 Dělení přerušení mezi jádra CPU

Každé jádro procesoru má svůj vlastní PIE. Tyto registry musí být pro každé jádro nakonfigurovány separátně. Některé přerušení přicházející ze sdílených periférií mohou být defaultně přiřazeny určitému jádru (kupříkladu ADC či SPI). Tyto periferie tedy způsobí přerušení danému jádru. Mohou ale vyvolat přerušení i jádra druhého, pokud je toto nastaveno v PIE druhého jádra. [7]



Obrázek 7 Diagram přerušení [VII]

5.1.3 Taktování

Procesor lze taktovat z více zdrojů. Všechny vnitřní hodiny jsou však vždy řízeny pouze jedním ze čtyř zdrojů taktování.

- Primární interní oscilátor (INTSOSC2) – 10MHz
- Záložní interní oscilátor (INTOSC1) – 10MHz
- Externí oscilátor (XTAL)
- Přídavný externí oscilátor (AUXCLKIN)

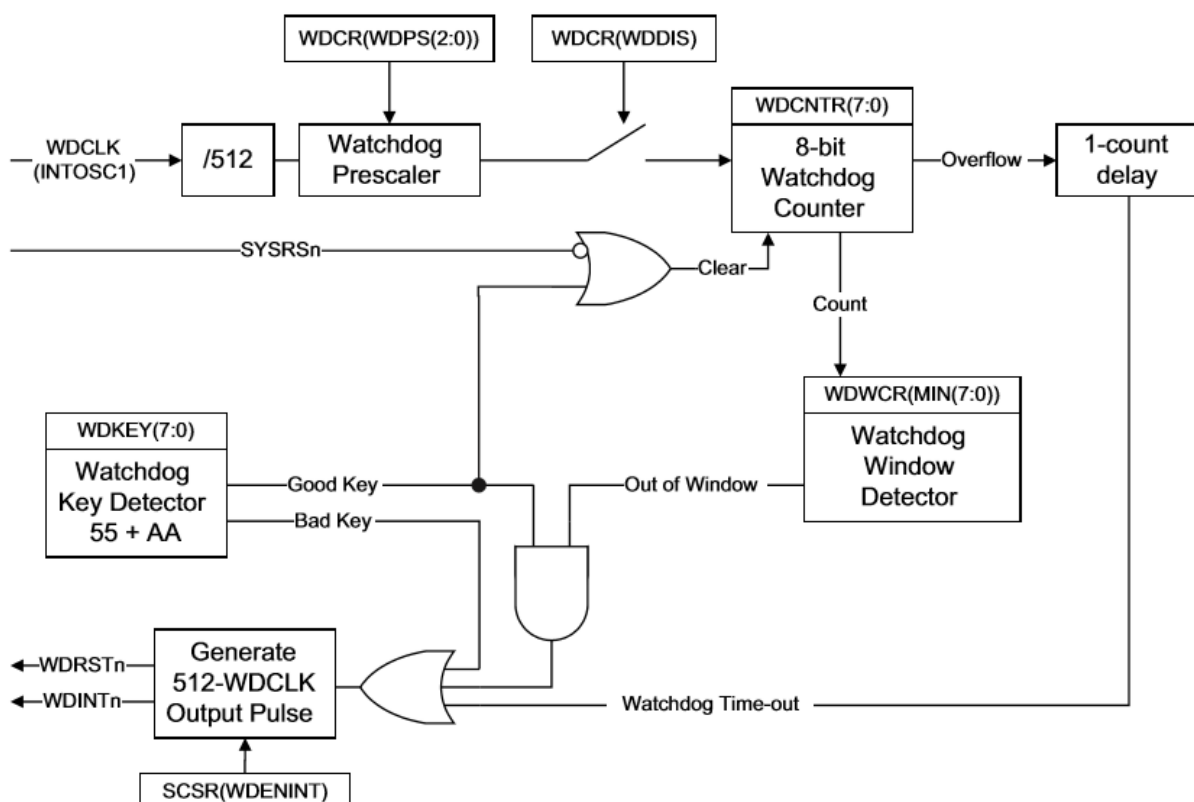
5.1.4 Časovače

Jednotka obsahuje tři 32bitové časovače (TIMER0 – TIMER2). TIMER0 a TIMER1 mohou být použity pro uživatelské aplikace. TIMER2 je rezervován pro real-time operační systém. Pokud však operační systém tento časovač pro svůj chod nepotřebuje, je možno jej využít také pro jinou aplikaci. TIMER0 a 1 jsou taktovány pomocí systémových hodin (SYSCLK). TIMER2 může být taktován také pomocí

SYSCLK, může však běžet i pomocí obou interních oscilátorů (INTOSC1 a INTOSC2), externího oscilátoru (XTAL) či přídavného externího oscilátoru (AUXCLKIN). [7]

5.1.5 Watchdog

Tento modul generuje výstupní puls o délce 512 watchdog taktů (WDCLK) pokaždé, když 8bitový watchdog čítač dosáhne své maximální hodnoty. Software běžící v MCU musí pravidelně zapisovat do watchdog registru hodnotu, která způsobí vynulování watchdog časovače. Pokud by se tak nestalo (v důsledku zacyklení způsobeného hardwarovou či softwarovou chybou, dojde k resetování systému. [7]



Obrázek 8 Blokové schéma Watchdog modulu [VIII]

Pokud je do registru **WDKEY** zapsaná správná sekvence ještě před přetečením 8bitového časovače, dojde k vyresetování watchdog časovače. V případě zápisu **0x55** do **WDKEY** dojde k povolení vyresetování watchdog časovače. Následným Zápisem **0xAA** dojde k samotnému resetu časovače. Pokud budou do **WDKEY** zapsány tyto hodnoty v opačném pořadí, k resetu nedojde. Stejně tak v případě zápisu jakékoliv jiné hodnoty. [7]

5.1.6 Zabezpečovací modul

Dvojitý zabezpečovací modul programu brání přístupu a čtení vestavěných pamětí třetím osobám. Tím je zabráněno kopírování programu za účelem reverzního inženýrství. Jelikož obsahuje systém dvě jádra, má každý subsystém svůj vlastní zabezpečovací modul. To znamená, že každé jádro má své dvě vlastní ochranné zóny. [7]

Jestliže nastane požadavek na čtení paměti, zabezpečovací systém vrátí nulovou hodnotu a CPU zabrání pokračování dalších instrukcí. Tím je zabráněno čtení i zápisu do chráněných pamětí skrze JTAG či jinou externí periférii. [7]

5.2 Program ROM a bootování

V případě dvoujádrového procesoru je CPU1 jako hlavní kontrolér bootovacího procesu. Každé jádro má svůj vlastní bootovací systém, nicméně všechny jsou podřízeny CPU1. Výjimkou je případ, kdy je CPU2 nastaveno na *boot-to-flash*, kdy není CPU1 zahrnuto. Během bootování aktualizuje spouštěcí kód stav bootování do paměti RAM, ve které podrobně popisuje akce provedené během tohoto procesu. [7]

Bootovací mód je zvolen příslušnou kombinací logických stavů na vybraných pinech GPIO. Existují čtyři možné módy volitelné pomocí GPIO portů:

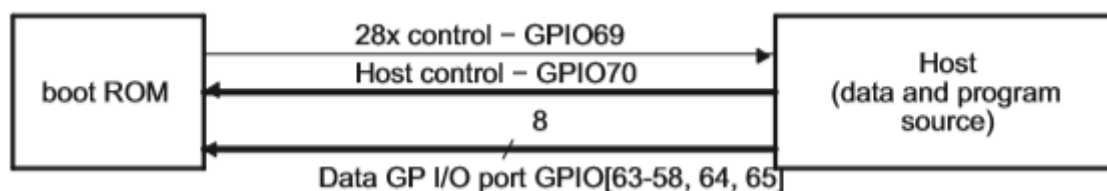
- Parallel I/O
- SCI
- Wait
- Get/Flash

Další možnosti bootování jsou:

- SPI
- I2C
- CAN
- RAM
- Flash
- USB – tento způsob podporuje pouze CPU1

5.2.1 Parallel I/O

Tento mód umožňuje asynchronně přenést kód z pinů GPIO58-GPIO63 a GPIO64-GPIO65 přímo do interní paměti. Přenášená data jsou 8bitová. Řídící subsystém komunikuje s externím zařízením po GPIO69-GPIO70. [7]



Obrázek 9 Blokové schéma paralelního bootování [IX]

Jedno 16bitové slovo bootovacího protokolu je přenášeno po osmi bitové paralelní sběrnici rozdělené na dvě poloviny, přičemž je v první řadě přenášena významnější část slova (MSB) a následně až méně významná část (LSB). [7]

5.2.2 SCI mód

V tomto módu je asynchronně přenášén kód z SCI-A do vnitřní paměti procesoru. Je podporován pouze 8bitový přenos. SCI periferie podporuje *autobaud*, který automaticky nastaví baudrate. Díky tomu je tento způsob velmi flexibilní, jelikož umožňuje použít široké rozmezí baudrate pro komunikaci s různými zařízeními. Po úspěšném datovém přenosu dá bootloader zpětnou vazbu v podobě vyslání 8bitového znaku kvůli potvrzení, že bootloader obdržel všechna potřebná data. [7]

5.2.3 WAIT mód

Wait mód zavede procesor do smyčky, který tím pádem nepřejde k vykonávání uživatelského kódu. Do tohoto módu se dá procesor uvést manuálně. Pokud však dojde během standardního bootovacího procesu k jakékoliv chybě, procesor přejde do tohoto módu automaticky. Výrobce doporučuje používat tento mód během užívání debuggeru, aby se zamezilo komplikacím na straně JTAG. [7]

5.2.4 GET mód

V tomto módu je čteno bitové pole boot módu (BMODE) v registru BOOTCTRL, aby bylo možné určit, který bootovací postup má být proveden. Defaultně se provádí flash boot. Zapsáním určité hodnoty do registru BMODE je však možno nastavit bootování z jakékoliv podporované periferie (SPI, I2C, CAN, USB, SCI atd.). [7]

5.3 Přímý přístup do paměti (DMA)

Výkon procesoru nelze posoudit pouze na základě rychlosti jádra. Je potřeba se na procesor dívat jako na celek se všemi schopnostmi. Využití jádra totiž může být znatelně redukováno, pokud se CPU nebude využívat k neustálému přesunu dat z externích pamětí do paměti interní, přesouvání dat z periferií jako jsou AD převodníky do paměti RAM, či přesouvání dat z jedné periferie do druhé. DMA jednotka umožňuje přesouvání těchto dat bez použití CPU. [7]

Modul obsahuje šest nezávislých DMA kanálů, které mohou být konfigurovány zvlášť. Každý kanál má svůj vlastní PIE přerušovací systém, aby CPU věděl, že DMA kanál začal data přenášet či byl přenos dokončen. Pět kanálů je stejných, kanál 1 však může mít nastavenou vyšší prioritu. [7]

DMA sběrnice obsahuje 32bitovou adresovou sběrnici, 32bitovou datovou sběrnici pro čtení a 32bitovou datovou sběrnici pro zápis. [7]

5.3.1 Propustnost

Kromě pipeline je zde pár dalších vlastností DMA, které ovlivňují jeho výslednou propustnost

- Zpoždění trvající jeden cyklus je přidáno na začátek každé skupiny slov
- Zpoždění trvající jeden cyklus je přidáno při návratu z kanálu 1 (kanál s vyšší prioritou)
- Kolize mezi DMA a CPU mohou taktéž způsobit zpoždění
- 32bitové přenosy běží dvojnásobnou rychlostí oproti přenosům 16bitovým

Kupříkladu přenos 128 16bitových slov může být kanál nakonfigurován pro přenos osmi skupin slov po 16. Tento přenos bude trvat:

$$8\text{skupin} * [(3\text{cykly/slovo} * 16\text{slov/skupina}) + 1] = 392 \text{ cyklů}$$

Pokud však použijeme 32bitový přenos, bude jeho doba trvání:

$$8\text{skupin} * [(3\text{cykly/slovo} * 8\text{slov/skupina}) + 1] = 200 \text{ cyklů}$$

5.3.2 Rozhodování mezi CPU a CLA

Většinou pracuje DMA nezávisle na CPU či CLA. Nicméně mohou nastat situace, kdy se snaží DMA a CPU (či CLA) ve stejnou dobu o přístup ke stejné periférii. Proto je potřeba proces rozhodování k odstranění konfliktu. Různé periferie mohou sdílet sběrníkové rozhraní, čímž jsou vytvořeny podmínky pro konflikt. Jsou přítomny dvě sběrníková rozhraní:

- Periferní okruh 1 – ePWM, eCAP, eQEP, SDFM, CMPSS, DAC
- Periferní okruh 2 – PMBus a SPI

Příklad konfliktu: CLA přistupuje k DAC-A a zároveň DMA přistupuje k DAC-B

Příklad konfliktu: CPU přistupuje k SPI FIFO, zatímco DMA přistupuje k registru PMBus

Nekonfliktní případ: CPU přistupuje k ePWM zatímco DMA přistupuje k SPI [7]

Výjimkou je však ADC registr, který je duplikován pro všechna sběrníková rozhraní. Tudiž mohou CPU, CLA i DMA přistupovat k těmto registrům najednou bez jakýchkoliv kolizí. [7]

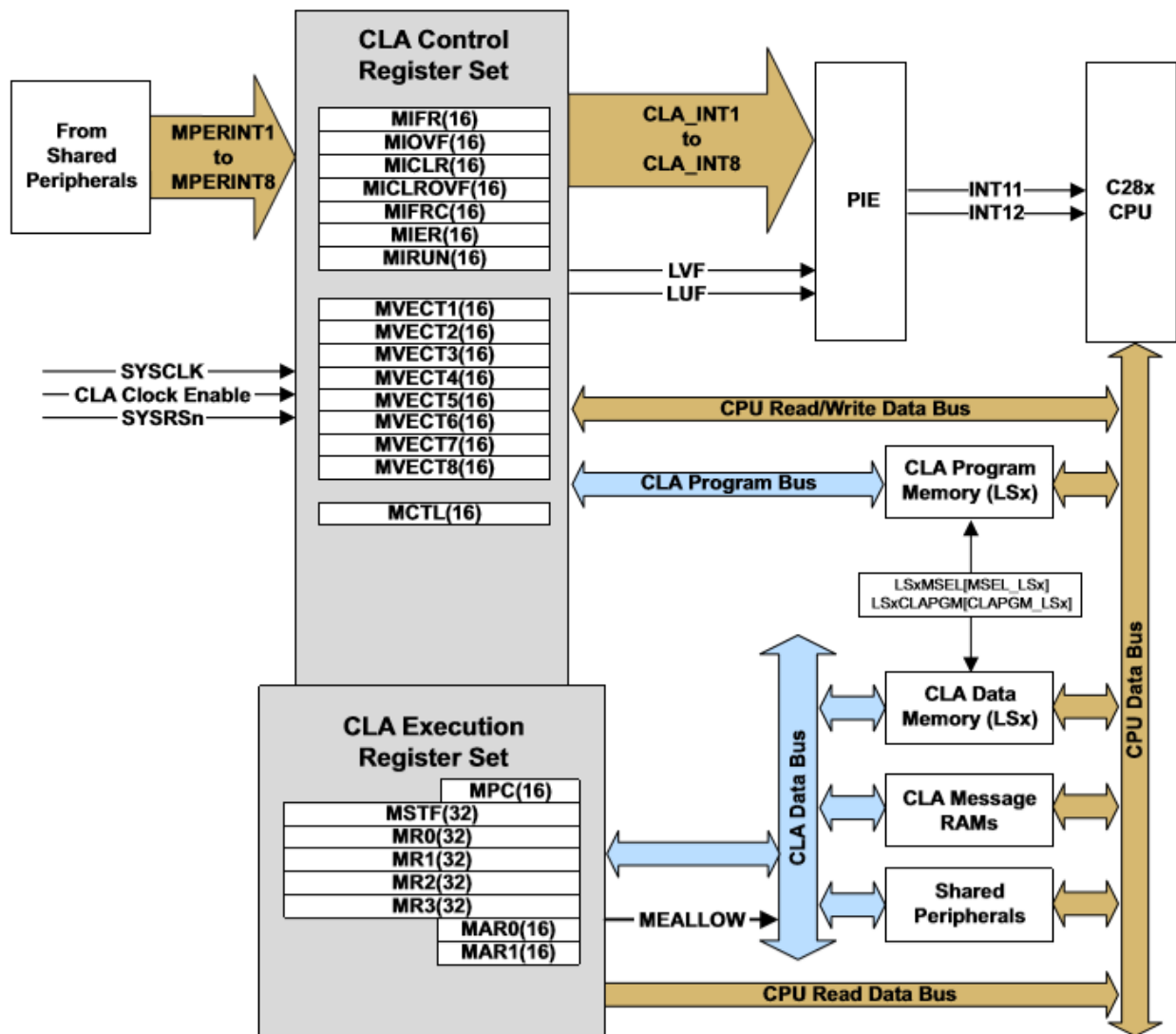
V případě, že DMA již přenáší data z nějaké periferie, a CPU či CLA se mezitím snaží taktéž o přístup k této periférii, čeká se na dokončení DMA přenosu. Teprve poté získá přístup CPU. Toto rozhodnutí je dáno „round-robin“ schématem rozhodování. [7]

5.4 Control Law Accelerator (CLA)

Tato jednotka rozšiřuje schopnosti procesoru díky paralelního zpracování dat. Díky jednotce je možno dosáhnout velmi krátkých časů od početí AD převodu po vygenerování akčního zásahu. Tím je zaručena velmi vysoká systémová odezva. Nemusí se tolik zatěžovat CPU, které pak může obsluhovat jiné systémové či komunikační periferie.

Hlavní funkce a vlastnosti CLA jsou:

- taktování stejné jako taktování hlavního jádra (SYSCLKOUT)
- architektura umožňující samostatný chod nezávisle na hlavním jádře
 - Kompletní sběrníkový systém
 - Nezávislý osmi stupňový pipeline
 - 16bitový programový čítač
 - Čtyři 32bitové registry s výsledky
 - Dva 16bitové pomocné registry
 - Stavový registr
- Instrukční sada obsahuje:
 - Operace s plovoucí řadovou čárkou
 - Operace násobení, součtu a rozdílu
 - Odhady $1/X$ či $1/\sqrt{X}$
 - Převody datových typů
- Paměti a sdílené periferie
 - Dvě paměti RAM pro uložení komunikace mezi CLA a CPU
 - CLA je náhradní master pro všechny periferie, které umožňují, aby bylo CLA či DMA jejich master jednotkou



Obrázek 10 Blokové schéma CLA jednotky [X]

5.4.1 CLA paměti

Modul může přistupovat ke třem druhům paměti. Programová, datová a RAM se zprávami. Paměti RAM jsou chráněny pomocí DCSM modulu.

Program může být načten z jakékoliv sdílené paměti (LSxRAM). Během debugování však může být program nahrán přímo z Code Composer Studio.

Sdílené paměti RAM obsahují zprávy, které si předávají CPU a CLA. Tyto paměti jsou dvě. Do jedné ukládá CPU zprávy pro CLA. CPU může do této paměti zapisovat i čísla, CLA může však pouze číst (její jakýkoliv zápis je ignorován). Druhá paměť slouží pro zprávy z CLA pro CPU. Záписy z CPU do této paměti jsou opět ignorovány. [7]

5.5 GPIO

Každý výstupní pin může být ovládán buď periferií nebo jedním ze čtyř výpočetních jednotek (CPU1, CPU1.CLA, CPU2 nebo CPU2.CLA).

Hodnoty na pinech konfigurovaných jako GPIO mohou být změněny těmito registry:

- GPySET - nastaví na daném pinu úroveň log. 1
- GPyCLEAR - nastaví na daném pinu úroveň log. 0
- GPyTOGGLE - nastaví opačnou logickou úroveň

5.5.1 Asynchronní vstup

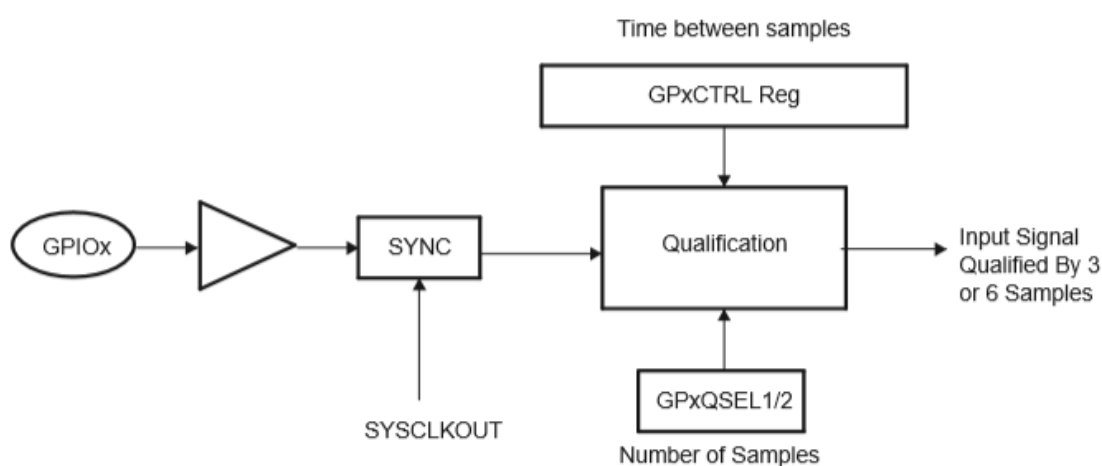
Tento mód je používán pro periferie, které nevyžadují synchronizaci. Příkladem mohou být komunikační porty SCI, SPI a I2C. Dalším příkladem je možný požadavek na nezávislost ePWM signálů v trip zóně na systémových hodinách. [7]

5.5.2 Synchronní vstup

Takto jsou po resetu defaultně nastaveny všechny GPIO piny. Vstupní signál je synchronizován se systémovými hodinami (SYSCLKOUT). Jelikož je přichozí signál asynchronní, může nastat zpoždění trvající až jednu periodu systémových hodin, než dojde ke změně úrovně na vstupu pinu. [7]

5.5.3 Kvalifikace vstupu za použití vzorkovacího okna

V tomto módu je signál nejprve synchronizován se systémovými hodinami (SYSCLKOUT) a poté je navzorkován specifickým počtem vzorků. Pokud se tři až šest po sobě následujících vzorků shoduje, může dojít k vnitřní změně stavu vstupního pinu. Tím je eliminován možný nežádoucí šum. Uživatel musí nastavit parametry tohoto typu kvalifikace. Jedná se zejména o vzorkovací periodu a počet vzorků. [7]

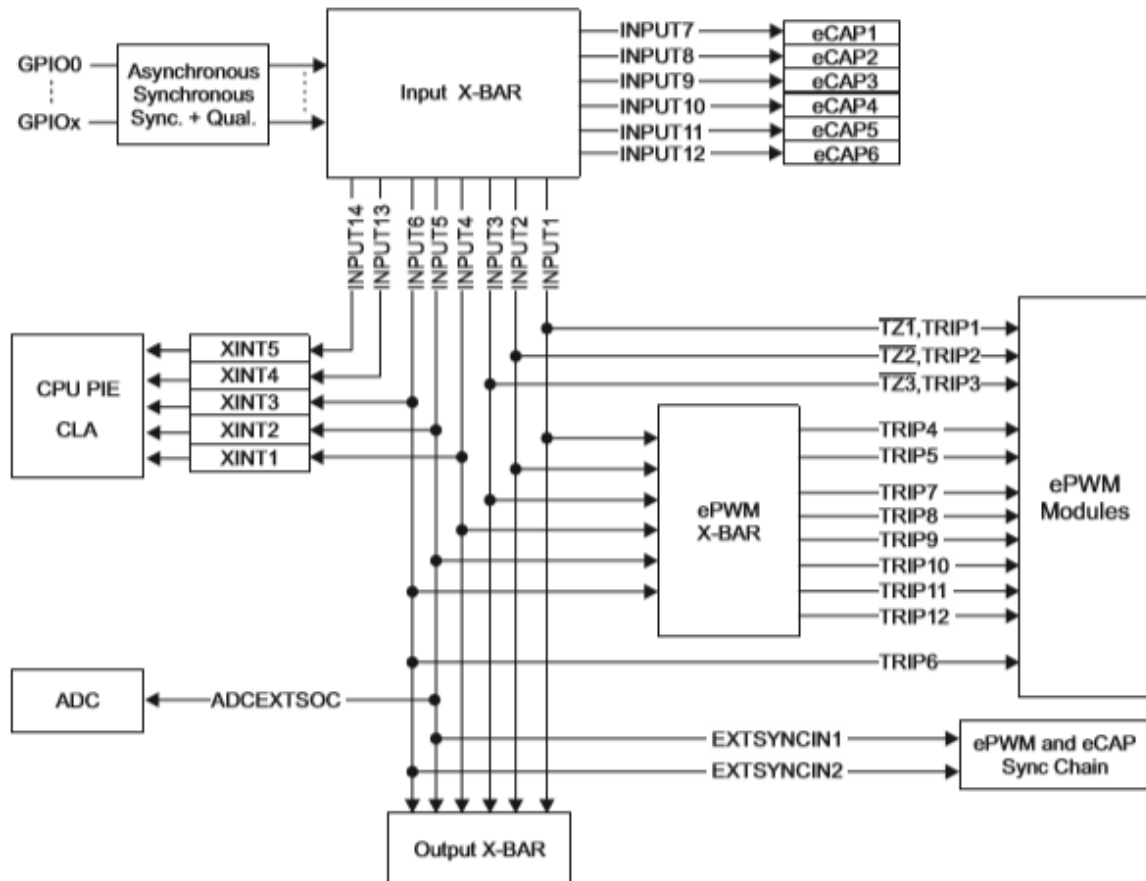


Obrázek 11 Blokové schéma kvalifikace vstupu za použití vzorkovacího okna [XI]

5.6 Crossbar (X-BAR)

5.6.1 Vstupní X-BAR

Tato periferie je použita pro směrování signálů z GPIO na různé periferie, jako jsou ADC, eCAP, ePWM a externí přerušení. X-BAR má přístup ke všem GPIO portům. Tato flexibilita zmírňuje omezení na periferním MUXingu tím, že je k dispozici jakýkoli pin GPIO pro zmíněné periferie. Je důležité zmínit, že funkce GPIO pinu zvolená při MUXování nemá vliv na X-BAR. [7]



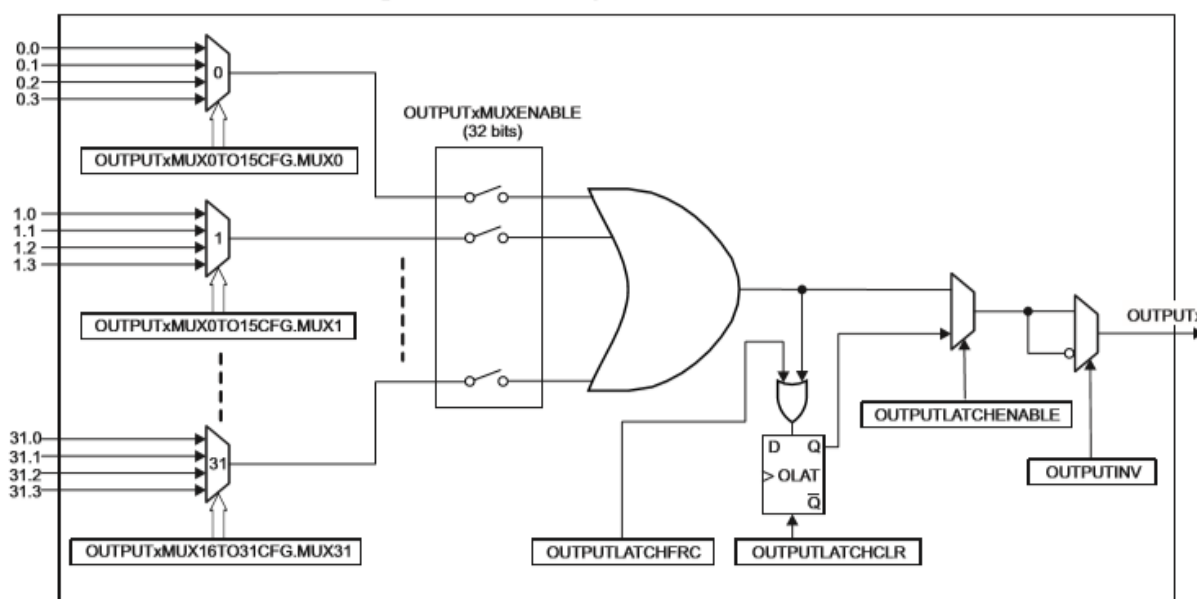
Obrázek 12 Blokové schéma Input X-BAR [XII]

5.6.2 ePWM X-BAR

ePWM X-BAR přenáší signály do ePWM modulů, přesněji do digitálních komparačních (DC) submodulů. Stojí za zmínku, že architektura ePWM X-BAR je téměř shodná s architekturou výstupního X-BAR. [7]

5.7 Výstupní X-BAR

Vyvádí signál z vnitřní periferie zařízení ven na GPIO port. Celkem obsahuje osm výstupů, přičemž každý z nich má alespoň jeden pin GPIO označený jako OUTPUTXBARx. Výstup může být daný pouze jedním signálem, popř. logickým OR až 32 signálů. [7]



Obrázek 13 Architektura GPIO výstupního X-BARu [XIII]

5.8 Analogově digitální převodník

Je použit převodník s postupnou aproximací, disponující volitelným rozlišením 12 nebo 16bit. Jeho konstrukci lze rozdělit na dvě základní části – jádro a obal. Jádro je složeno z analogových obvodů, zahrnujících MUX vybírající kanál, obvody typu *sample and hold*, napěťové reference, postupně aproximační obvody a další podpůrné analogové obvody. Obal se skládá z digitálních obvodů řídicích chod celého převodníku. Řadí se sem logika pro řízení převodu, registry s výsledky, rozhraní pro připojení k interní sběrnici či post-processing. [7]

5.8.1 Taktování převodníku

Základní taktování ADC je poskytováno přímo systémovými hodinami (SYSCLK). Tento je však přiveden na děličku, která poskytuje výsledný takt pro převodník (ADCCLK). Pokud je použit 16bitový mód převodníku, trvá převod 29,5 ADCCLK cyklů, než se hodnota napětí na vstupu zpracuje a uloží do výsledkového registru. V případě použití 12bitového módu trvá převod pouze 10,5 ADCCLK cyklů. [7]

5.8.2 Rozlišení

Tato vlastnost určuje, s jakou jemností bude vstupní signál o daném rozmezí hodnot navzorkován do digitální podoby. K dispozici je volitelné rozlišení 12 a 16bit. Pokud tedy hodláme měřit analogový signál v rozmezí 0-3.3 V, získáme rozlišení:

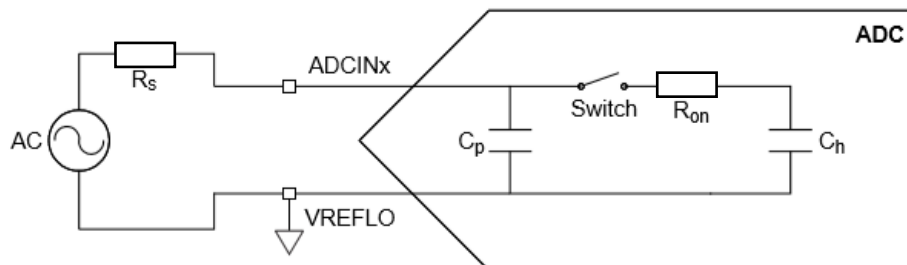
$$12bit: \quad \frac{U_{MAX}}{2^{12}} = \frac{3,3}{2^{12}} = 805 \mu V$$

$$16bit: \quad \frac{U_{MAX}}{2^{16}} = \frac{3,3}{2^{16}} = 50 \mu V$$

5.8.3 Signálové módy

5.8.3.1 Jednoduchý

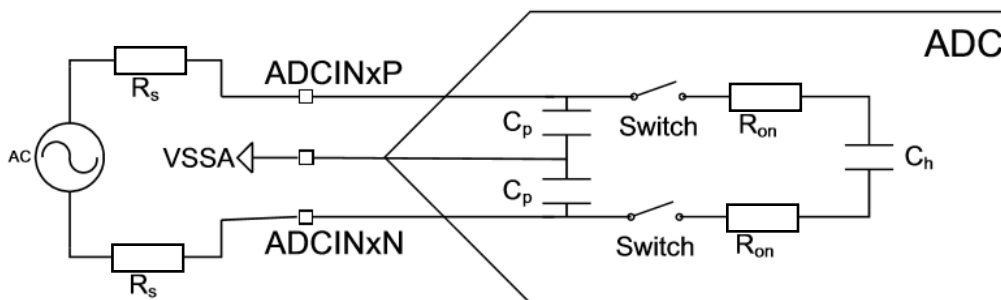
Vstupní signál je navzorkován jedním pinem (ADCINx), vztaženým k referenční hodnotě napětí VREFLO.



Obrázek 14 Sample&Hold obvod při jednoduchém módu [XIV]

5.8.3.2 Diferenční

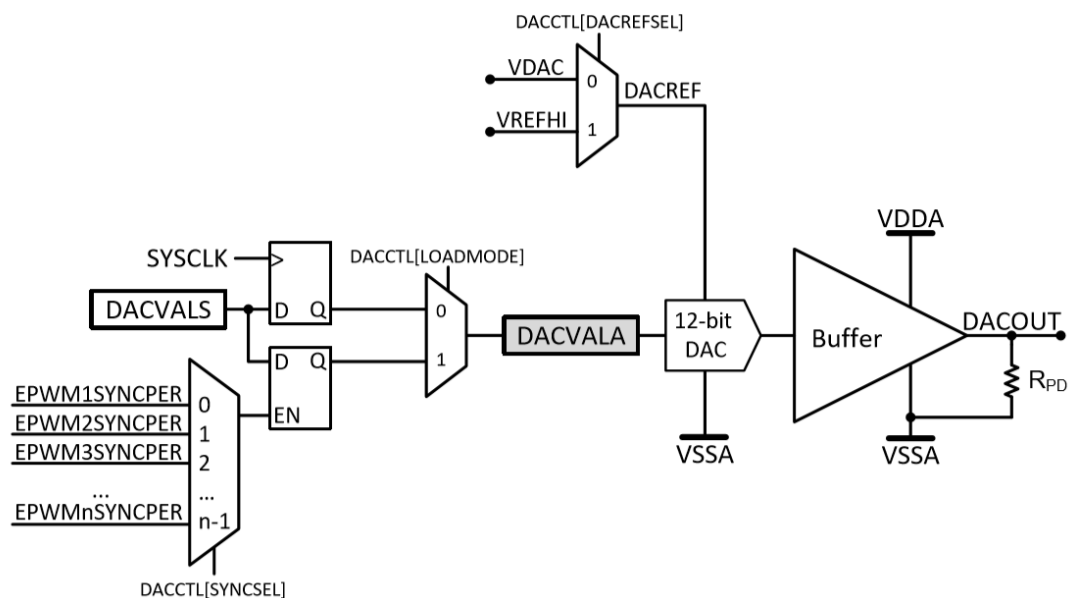
Vstupní signál je navzorkován pomocí dvou vstupních pinů, přičemž jeden pin je brán jako pozitivní vstup (ADCINxP) a druhý je negativní vstup (ADCINxN). Měřená hodnota v tomto módu je pak daná jejich rozdílem. Pokud je použito 16bitového rozlišení, je potřeba na vstup VSSA (analogová napájecí zem) přivést referenční hodnotu VREFLO. [7]



Obrázek 15 Sample&Hold obvod při diferenčním módu [XV]

5.9 Digitálně analogový převodník

Modul tohoto převodníku obsahuje 12bitový DAC a analogový buffer na výstupu, který výkonově posílí jinak velmi málo zatížitelný výstup. Na výstupu je také integrován pull-down rezistor, který poskytuje definovanou úroveň napětí na výstupu v případě, že je buffer neaktivní. Hlavní úlohou pro tento převodník je generování výstupních signálů, jako jsou sinus, obdélník, pila či další. Může být také použit pro generování řídicích napětí či reference pro jiné periferie. [7]

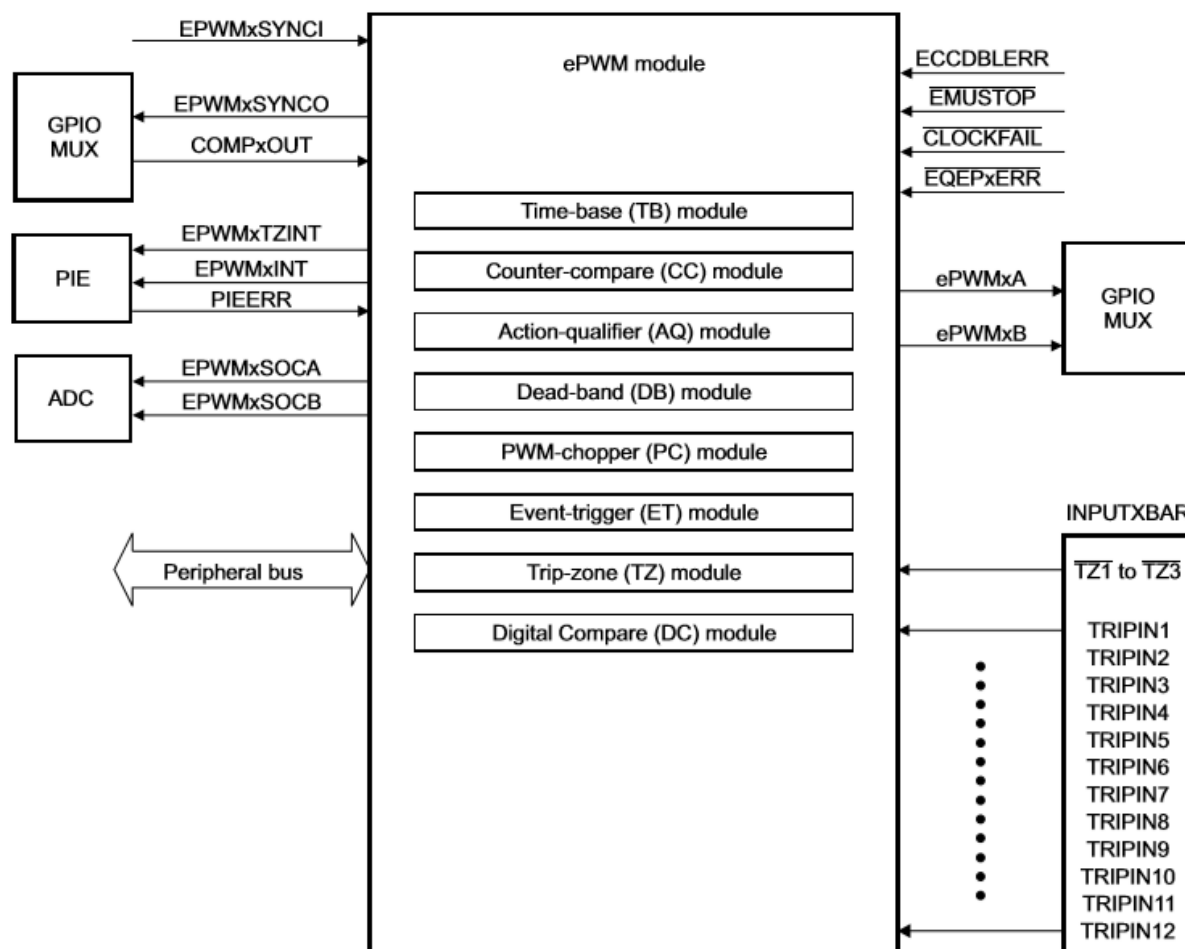


Obrázek 16 Blokové schéma DAC převodníku [XVI]

Převodník potřebuje pro svou funkci napěťovou referenci. Ta může být ze dvou zdrojů – externí referenční úroveň nebo výstup z druhého DA převodníku. Jsou zde obsaženy dva registry s hodnotami (DACVALA a DACVALS). DACVALA je registr pouze pro čtení, který řídí převáděnou hodnotu. DACVALS je stínový registr, který je nahráván do DACVALA buďto ihned, nebo synchronizovaně s EPWM událostmi. Pokud je taktování převodníku přerušeno, výstupní napětí zůstane beze změny oproti předchozí hodnotě. [7]

5.10 ePWM

Tato periferie je klíčová pro řízení elektronických systémů v oblasti výkonové elektroniky. Řadí se zde řízení motoru, výkonné spínané zdroje či záložní zdroje (UPS). Jedná se vlastně o DAC převodník, kdy je výstupní analogová úroveň reprezentovaná střídou PWM.



Obrázek 17 Zapojení a submoduly ePWM modulu [XVII]

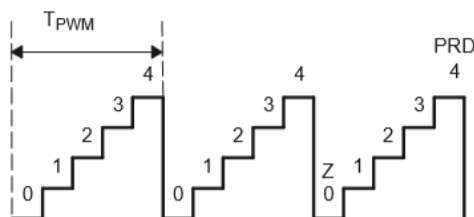
5.10.1 Časová základna (TB)

Každý z ePWM modulů má svou vlastní časovou základnu, která se stará o časování všech událostí daného modulu. Vestavěná synchronizace umožňuje časování všech ePWM modulů tak, že mohou pracovat společně jako jeden systém. [7]

Kmitočet PWM je řízen periodou časové základny, nastavenou v registru TBPRD. Krok přírůstku každého kroku je definován taktem časové základny (TBCLK), který je násobkem PWM taktu.

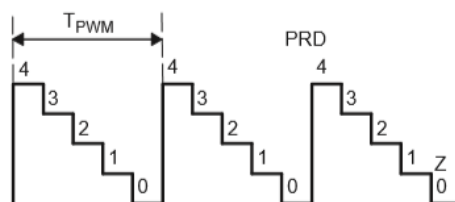
Čítač časové základny má tři možnosti funkce, nastavené v registru TBCTL. Těmito možnostmi jsou:

- Přičítací mód – čítač začíná v nule a v každém taktu inkrementuje hodnotu, dokud nedosáhne periody. Po dosažení periody je čítač resetován a začíná od znova



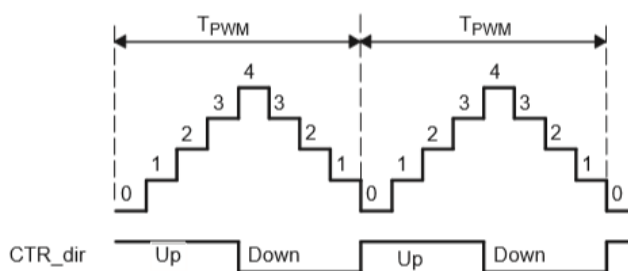
Obrázek 18 Přičítací mód čítače časové základny [XVIII]

- Odčítací mód – čítač začíná hodnotou dosaženou v periodě, kterou v každém následujícím taktu dekrementuje, dokud nedosáhne nuly. Po dosažení nulové hodnoty se čítač resetuje zpět na hodnotu připadající na periodu a dekrementace probíhá znovu [7]



Obrázek 19 Odčítací mód čítače časové základny [XVIII]

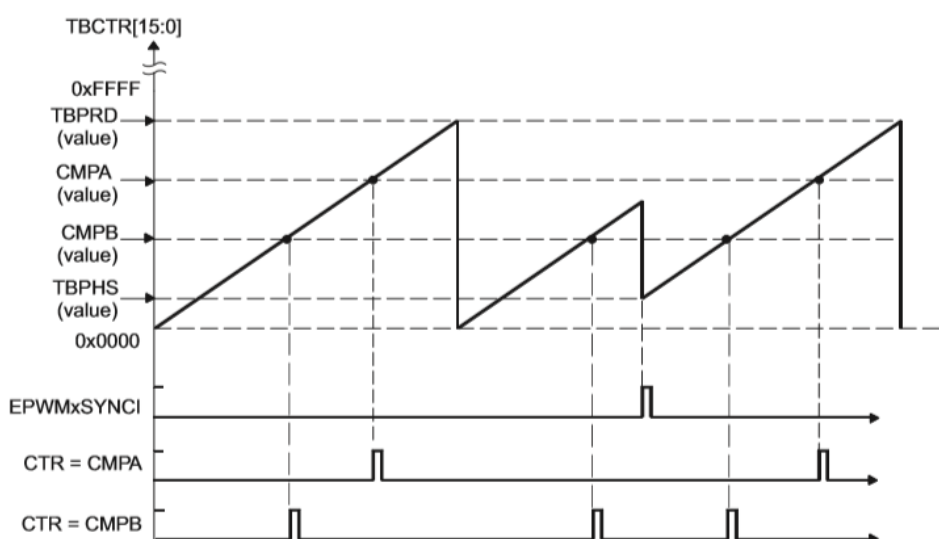
- Střídavý mód – čítač začíná v nule a v každém následujícím taktu inkrementuje svou hodnotu. Po dosažení přednastavené hodnoty se čítač přepne na odčítání, přičemž v každém následujícím taktu svou hodnotu dekrementuje. Při nulové hodnotě se pak opět přepne na přičítací mód [7]



Obrázek 20 Střídavý mód čítače časové základny [XVIII]

5.10.2 Counter Compare (CC)

Vstupem tohoto modulu je výstupní signál časové základny, který se porovnává s definovanými úrovněmi uloženými v counter-compare registrech. Tyto registry jsou celkem 4, označeny CMPA-CMPD. Pokud je signál z časové základny roven hodnotě uložené v kterémkoliv z těchto registrů, dojde k vygenerování impulsu na výstupu CC, odpovídajícímu registru, kvůli kterého byl impuls vyvolán. Pro řízení PWM se používají impulsy vyvolané registry CMPA a CMPB, respektive jejich aktuální rovnosti se signálem časové základny. [7]



Obrázek 21 Princip vzniku řídicích signálů pro PWM v komparačním bloku (mód čítače je přičítací) [XIX]

5.10.3 Action Qualifier (AQ)

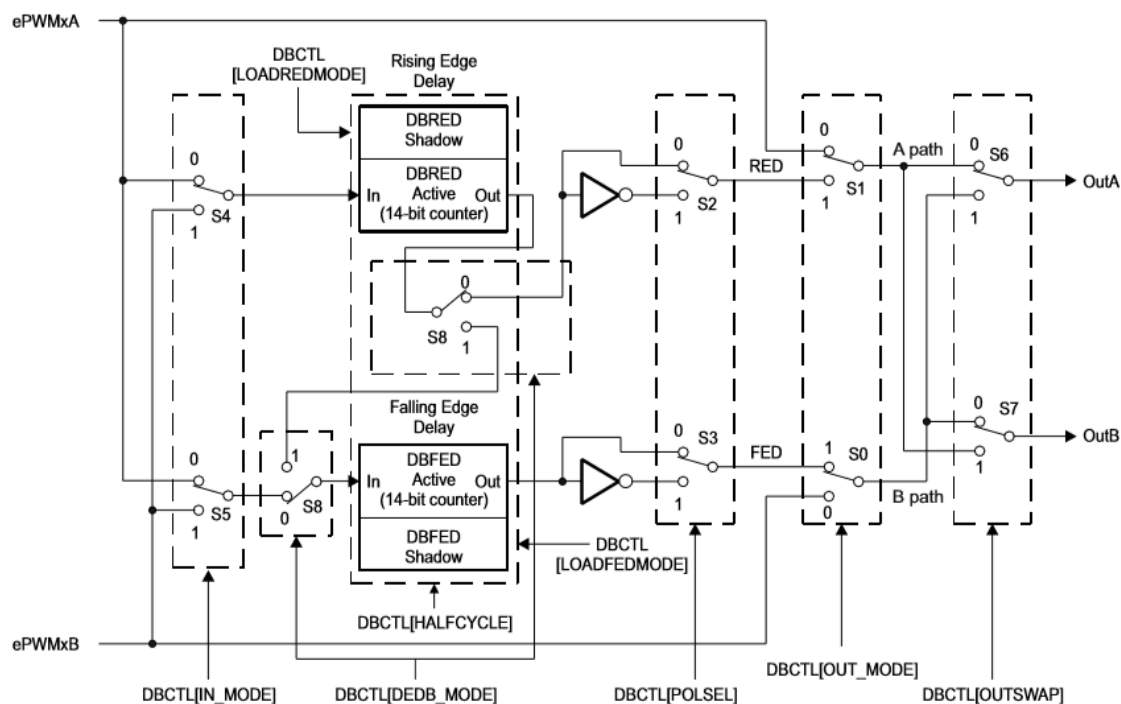
Tento blok má za úkol na základě výstupních signálů z modulu časové základny a CC modulu vygenerovat signály EPWMA a EPWMB. Jeho reakce na vstupní signály je různá, v závislosti na módu čítače časové základny (přičítací, odčítací, střídavý).

Výstupní signál se může na základě vstupů změnit následovně:

- Nastaví úroveň *high*
- Nastaví úroveň *low*
- Změní aktuální úroveň na opačnou
- Výstup se nezmění

5.10.4 Generátor ochranné doby (DB)

Tento blok zamezuje tomu, aby byly signály EPWMA a EPWMB aktivní ve stejnou dobu, což by v případě komplementárního řízení tranzistorů měniče znamenalo tvrdý zkrat. Proto se mezi signály vkládá ochranná doba. Jejím základem je zpoždění nástupné či sestupné hrany signálu. Toto zpoždění je realizováno 10bitovým čítačem. Pokud však není pro nějakou aplikaci ochranná doba vyžadována, je možno celý tento blok přemostit nastavením registru DBCTL[OUT_MODE]. [7]



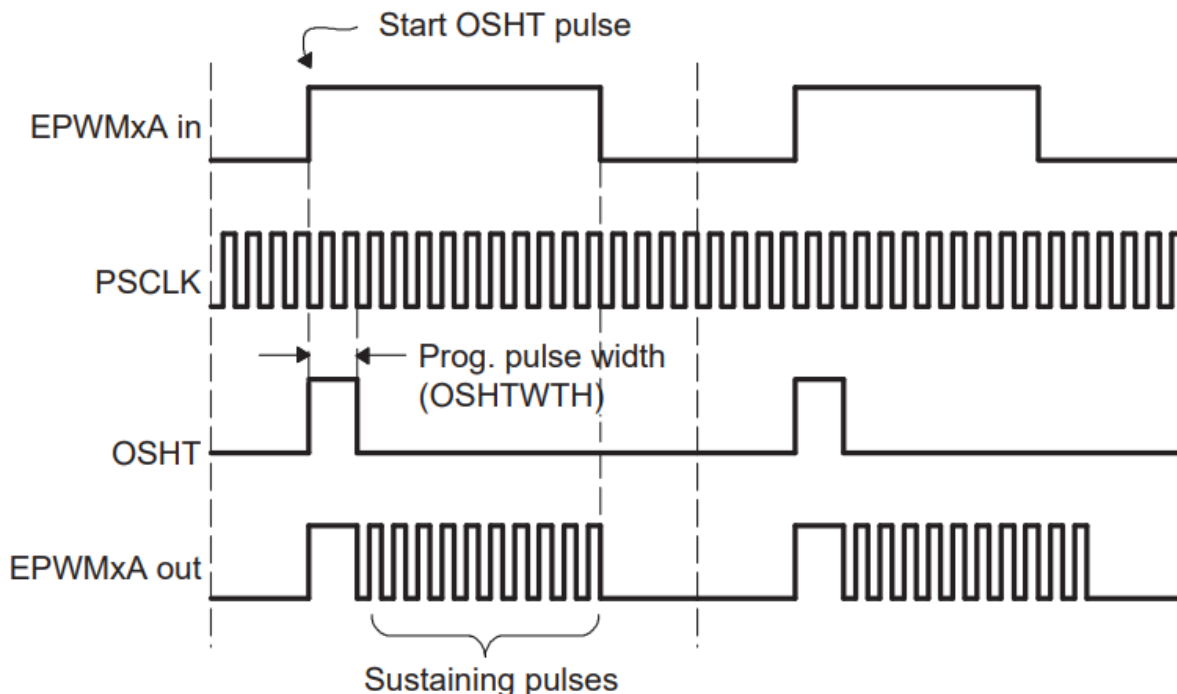
Obrázek 22 Schéma generátoru ochranné doby [XX]

5.10.5 PWM Chopper

Výstupní signál z předchozího modulu je v tomto bloku rozstřídán na vysokou frekvenci. Vzniká tak výsledná modulace výstupního PWM signálu, která je již vhodná pro buzení tranzistorů v měniči (většinou však přes pulzní transformátor, který zajistí galvanické oddělení procesoru a měniče). [7]

Taktování tohoto bloku je odvozeno od ePWM taktu (EPWMCLK). Parametry nosného signálu (PCLK) jako kmitočet a střída jsou plně uživatelsky nastavitelné. Celý blok lze deaktivovat, čímž pak bude na výstupu pouze nenamodulovaný řídicí signál (EPWMxA) z předchozího bloku. Zajímavostí

tohoto modulu je úprava prvního modulovaného pulzu tak, aby byl schopný dodat na výstup větší energii než ostatní pulzy. Tím je zajištěno rychlé sepnutí tranzistoru v měniči, čímž jsou sníženy spínací ztráty. Délka prvního pulzu je nastavitelná v registru OSHTWTH, a to v rozmezí 100-1600 ns při taktování 80MHz. [7]



Obrázek 23 Namodulování řídicího signálu na vysoký kmitočet s vložením startovacího pulzu [XXI]

5.10.6 Trip-Zone (TZ)

V případě, že by došlo během chodu měniče či procesoru k jakékoliv chybě, je potřeba na výstupu PWM zajistit takovou kombinaci, která nezpůsobí v měniči závažný stav, jako je kupříkladu zkrat komplementárních tranzistorů. Proto tento blok zavádí signály TZ1-TZ6, které mají za úkol nastavit správnou výstupní kombinaci v případě poruchy. Zdroj signálu TZ1-TZ3 je z GPIO multiplexu, TZ4 je řízen invertovaným QEPPxERR signálem, TZ5 je připojen na chybový signál ze systémového taktování a TZ6 je řízen EMUSTOP výstupem z CPU. [7]

V případě chyby lze výstupy EPWMxA a EPWMxB nastavit do následujících stavů:

- Log. 1
- Log. 0
- Stav vysoké impedance
- Beze změny

Každý z ePWM modulů může být nakonfigurován tak, aby ignoroval TZ signály. Lze však také nastavit, který TZ signál má ovládat daný ePWM modul.

5.10.7 Event-Trigger (ET)

Úkolem tohoto modulu je správa událostí generovaných submoduly časové základny, Counter Compare či Digital Compare submodulů. Na základě těchto událostí Event-Trigger generuje přerušení pro CPU či impuls pro zahájení konverze AD převodníku. Přerušení či impuls pro zahájení konverze může být generován při každé události, při každé druhé události či při až každé patnácté události. [7]

5.10.8 Digital Compare

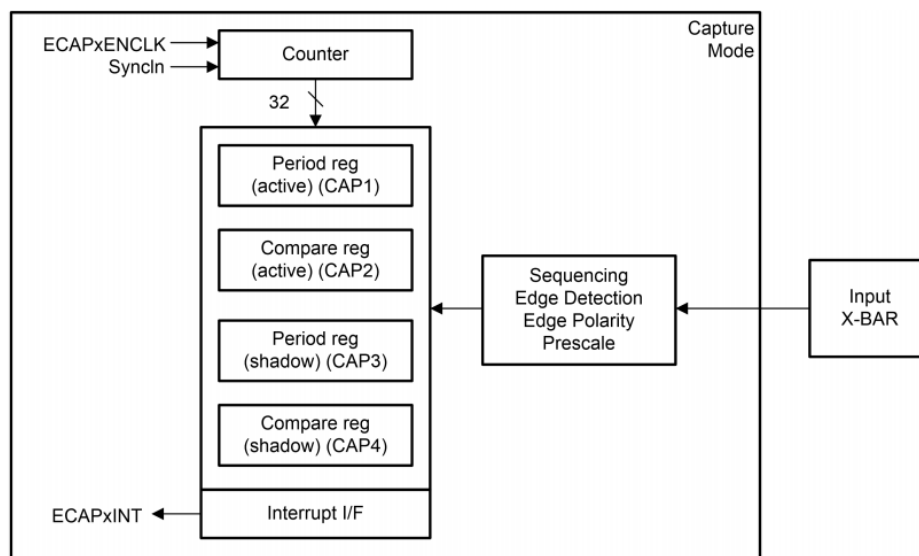
Digitální komparátor porovnává signály vně ePWM modulu (kupříkladu výstupy z analogových komparátorů). Poté může přímo generovat události, které jsou přivedeny na Event-Trigger, Trip-Zone či submodul časové základny. Výstup modulu je filtrován za účelem redukce šumu. [7]

5.11 eCAP

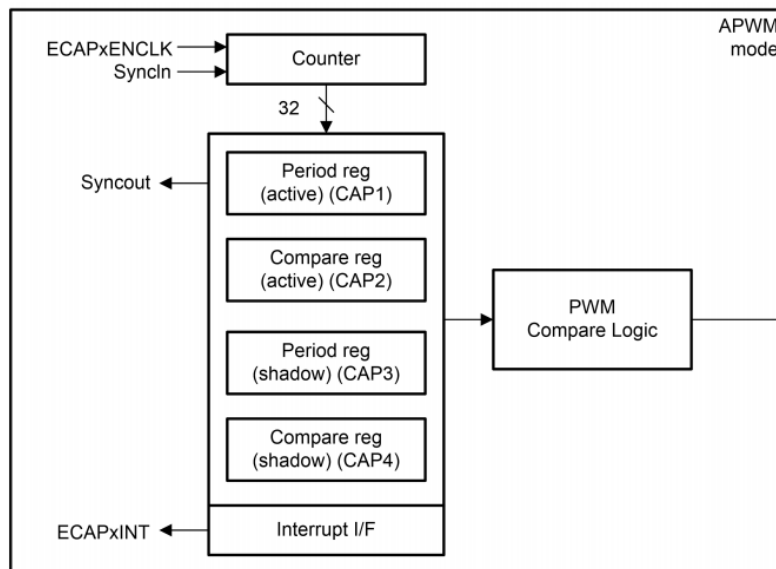
Použití tohoto modulu je v systémech, kde je zapotřebí přesného načasování vnějších událostí. Může se jednat o měření rychlosti točivých strojů (kupříkladu měření polohy ozubeného kola pomocí Hallových sond), měření periody a střídy vlakových signálů, nebo vyhodnocení informací z napětových či proudových senzorů. [7]

K připojení vnějších signálů k této jednotce je zapotřebí použít vstupní X-BAR, tudíž může být použit libovolný GPIO pin. Vstup může být buďto synchronní či asynchronní. Použitím synchronního vstupu se sice zlepši šumová imunita, zhorší se tím však přesnost. [7]

Modul umožňuje použití svých komponent pro implementaci jednobitového PWM s rozlišením 32bitů. V tomto případě pak vnitřní čítač pracuje v přivítacím módu, čímž vytvoří časovou základnu pro asymetrické průběhy pulzně šířkové modulace. Registry CAP1 a CAP2 se pak stávají aktivními registry řídicími periodu a komparační úroveň. [7]



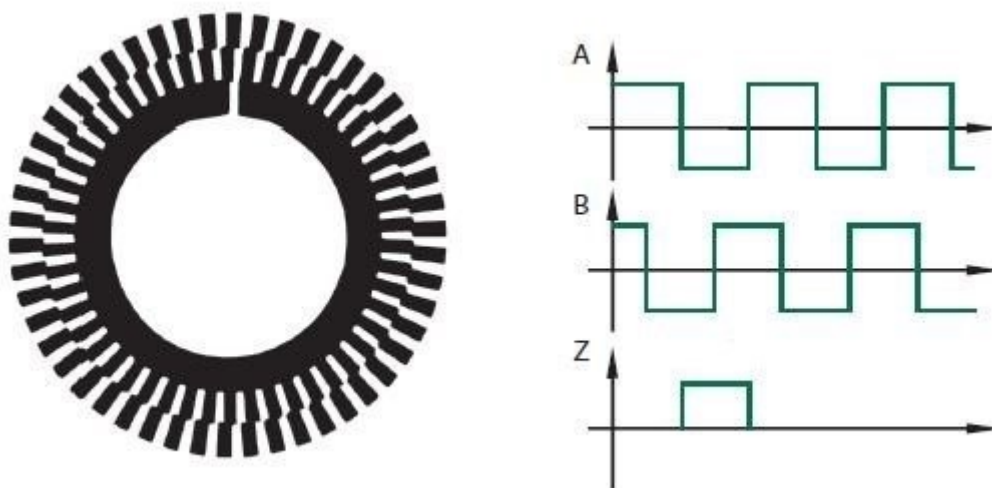
Obrázek 24 Zachytávací mód eCAP modulu [XXII]



Obrázek 25 APWM mód eCAP modulu [XXII]

5.12 eQEP

Modul se používá pro přímé spojení s lineárním či rotačním inkrementálním snímačem pro získání polohy, směru, a aktuální rychlosti točivého stroje. Inkrementální disk uvnitř snímače je po obvodu opatřen průzory, jimiž prochází či neprochází při daném úhlu natočení světelný paprsek. Disk je charakterizován počtem těchto průzorů na jednu otočku. Pro získání směru otáčení se pak přidává druhá řada průzorů, které jsou však pootočený o určitý úhel vůči první řadě. Tím pak během otáčení vzniknou vzájemně posunuté signály QEPA a QEPB, přičemž porovnáním pořadí jejich náběžných či sestupných hran se získá směr otáčení. V třetí řadě průzorů je pak pouze jeden pulz, který se používá pro synchronizaci polohy (nulovací pulz).



Obrázek 26 Disk inkrementálního enkodéru s výstupními signály [XXIII]

Encoder se většinou otáčí stejnou rychlostí, jako je otáčení rotoru. Je zde ale i možnost připojení přes převodovku. Poté se však změní výstupní kmitočet signálů QEPA a QEPB. S tím je pak potřeba počítat při následném vyhodnocení rychlosti otáčení. [7]

5.13 SPI rozhraní

Jedná se o vysokorychlostní synchronní sériový převod, který umožňuje přenos datových slov až o délce 16bitů. Přenos se většinou používá pro komunikaci mezi MCU a okolními periferiemi, či dalším MCU. Komunikace mezi zařízeními probíhá pomocí master či slave módu jednotlivých zařízení. Součástí SPI modulu jsou následující:

- SPISOMI – SPI slave output/master-input
- SPISIMO – SPI slave-input/master-output
- SPISTE – SPI slave transmit-enable
- SPICLK – SPI taktování

5.13.1 Master mód

Zařízení poskytuje taktovací signál pro komunikační síť. Výstup dat je pomocí SPISIMO a zpětně zachyceny pomocí SPISOMI. K dispozici je 125 přenosových rychlostí, nastavitelných v registru SPIBRR. Taktéž lze nastavit, zda se první bude přenášet nejvýznamnější (MSB) bit nebo nejméně významný (LSB) bit. Přijatá data se uloží do záchytného registru SPIRXBUF. Dále je vyvoláno přerušení, aby CPU o přijatých datech vědělo. [7]

5.13.2 Slave mód

Data jsou přijímány pomocí SPISIMO a vysílány pomocí SPISOMI. Vše je synchronizováno s hodinovým signálem přijatým z master jednotky. Ve slave módu je důležitý bit TALK. Ten totiž musí být nastaven do úrovně 1, aby byl přenos povolen. V opačném případě je totiž pin SPISOMI uveden do stavu vysoké impedance. Pokud se bit TALK nastaví do úrovně 0 během aktivního přenosu, nejprve se přenos dokončí. Teprve až poté je daný pin přiveden do stavu vysoké impedance. Vše tohle je nutné, aby na jedné sběrnici mohlo být více slave zařízení najednou. Pouze jedno z nich však může v daný okamžik komunikovat s masterem. [7]

5.13.3 Taktování

Pomocí registrů CLKPOLARITY a CLK_PHASE se dají nastavit čtyři různé režimy taktování SPICLK. CLKPOLARITY určuje, která hrana taktovacího signálu bude aktivní (náběžná či sestupná). CLK_PHASE zase určuje, zda bude taktovací signál o půl taktu zpožděn či ne. [7]

Taktovací režimy:

- Aktivní sestupná hrana s fázovým zpožděním – vysílá data půl taktu před sestupnou hranou a přijímá data při sestupné hraně taktovacího signálu
- Aktivní náběžná hrana s fázovým zpožděním – vysílá data půl taktu před náběžnou hranou a přijímá data při náběžné hraně taktovacího signálu
- Aktivní sestupná hrana bez fázového zpoždění – vysílá data při sestupné hraně a přijímá data při náběžné hraně taktovacího signálu
- Aktivní náběžná hrana bez fázového zpoždění – vysílá data při náběžné hraně a přijímá při sestupné hraně taktovacího signálu

5.14 SCI

Jedná se o dvou vodičovou asynchronní sběrnici taky známá jako UART. Používá se pro komunikaci procesoru s dalšími asynchronními perifériemi, které používají standardní non-return-to-zero formát. Vysílač i přijímač mohou být použity nezávisle pro poloduplexní komunikaci, či zároveň pro plněduplexní komunikaci. Přenosová rychlost je nastavitelná 16bitovým baud-select registrem. Systém však také disponuje funkcí autobaud, která automaticky nastaví přenosovou rychlost pro aktuálně připojenou periférii. [7]

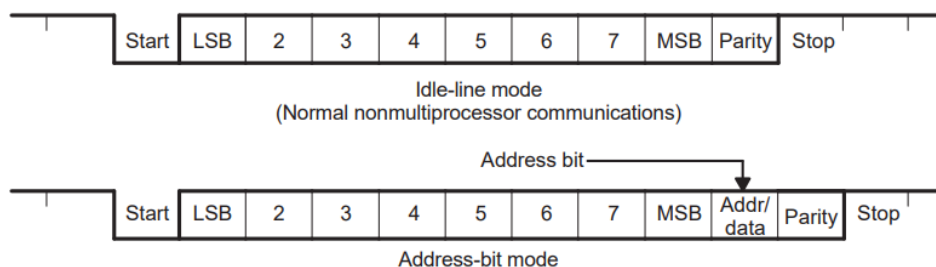
5.14.1 Architektura

- Vysílač (TX) a jeho registry
 - SCITXBUF – zásobníkový registr přenášených dat. Zde CPU ukládá data pro přenos
 - TXSHF – posuvný registr přenosu. Přijímá data z SCITXBUF a posouvá je bit po bitu na výstupní pin SCITXD
- Přijímač (RX) a jeho registry
 - RXSHF – posuvný registr přijímače. Přesouvá data ze vstupního pinu SCIRXD do zásobníku (bit po bitu)
 - SCIRXBUF – zásobníkový registr přijatých dat. Zde se ukládají přijatá data určená pro zpracování CPU
- Programovatelný Baud generátor
- Řídící a stavové registry

5.14.2 Formát přenášených dat

Komunikace může probíhat pomocí různých tvarů přenášených dat. Proto je zapotřebí na jedné sběrnici používat pouze jeden formát přenosu. Obecně mají přenášená data formát:

- Jeden startovací bit
- Jeden až osm bitů datových
- Paritní bit (není však nutností)
- Adresní bit (může a nemusí být použit)
- Jeden až dva stop bity



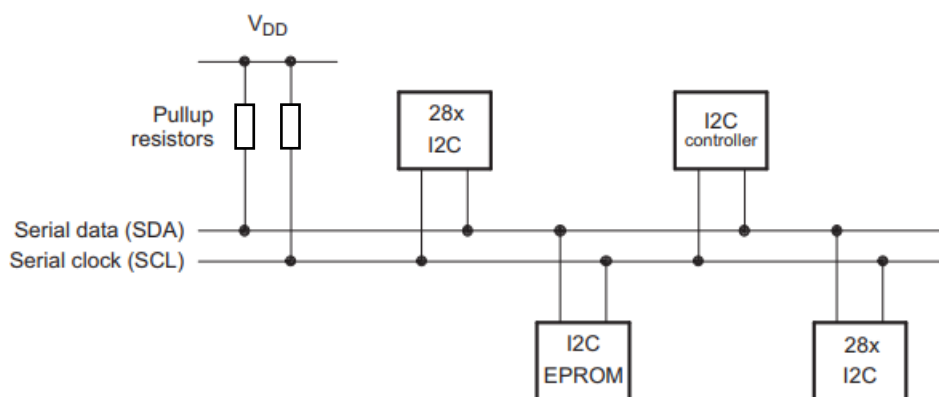
Obrázek 27 Typický formát přenášených dat SCI [XXIV]

Adresní bajt je určen všem zařízením na sběrnici. Určuje totiž příjemce vysílaných dat. Ostatní přijímače zůstávají v nečinnosti. Tento bajt je však potřeba odlišit od ostatních, aby bylo zřejmé, že se jedná o adresní. Jsou dvě možnosti odlišení – režim adresního bitu a režim nečinnosti. V režimu adresního bitu se tento bit přidává do každé přenášené informace (pokud je nastaven do 1, jedná se o adresní bajt a pokud do 0, jedná se o datový bajt). Tohoto režimu se využívá při komunikaci mezi více zařízeními. Druhou možností je režim nečinnosti. Zde se pak adresní bit nevyužívá. Místo toho se před adresou nevysílají žádná data. Tím vznikne tzv. tichý prostor, který je vhodný, pokud je jednomu zařízení přenášeno větší množství informací. [7]

5.15 I2C

Pro datovou komunikaci má I2C modul dva piny – taktovací (SCL) a datový (SDA). Tyto piny se starají o přenos informací mezi procesorem a ostatními zařízeními připojenými k I2C sběrnici. Oba piny jsou obousměrné. Oba sběrnice vodiče musí být připojeny přes pull-up rezistory k definované úrovni napětí (nejčastěji napájecí napětí). Pokud tedy není sběrnice aktuálně používána, jsou oba piny v úrovni *high*. [7]

Každé zařízení připojené ke sběrnici má unikátní identifikační adresu. Všechny také mohou fungovat jako přijímač i vysílač, v závislosti na jejich aktuální funkci. Zařízení mohou být považována za master či slave. Master vždy inicializuje přenos, přičemž generuje taktovací signál pro sběrnici. Sběrnice také podporuje multi-master, kdy dvě zařízení na jedné sběrnici mohou být master (ne však v jeden okamžik). [7]



Obrázek 28 Ukázka sběrnice I2C [XXV]

5.16 EMIF

Toto zařízení obsahuje jeden EMIF modul. Ten umožňuje propojení procesoru s různými externími zařízeními:

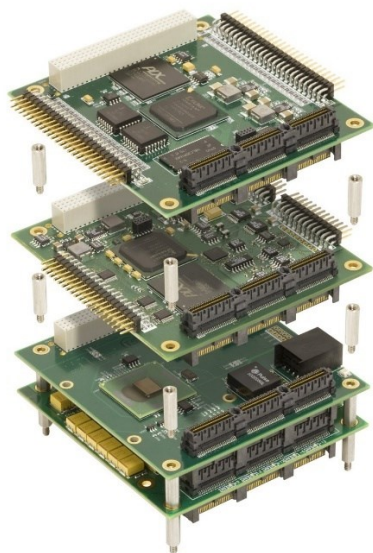
- SDRAM
- Asynchronní zařízení typu NOR Flash a SRAM
- Rozhraní pro připojení host procesoru

Existují dva druhy EMIF. Zásadní rozdíl mezi nimi je v šířce datové sběrnice (16 nebo 32bit). [8]

Různé zdroje MCU mohou požadovat přístup k EMIF. Může se jednat buďto o přístup periferií k SDRAM či EMIF registrům. EMIF však může obsloužit pouze jeden požadavek na přístup. Proto obsahuje tento modul vysoce výkonný rozhodovací blok, který určuje prioritu přístupu. Pokud je požadavek o přístup z více zdrojů najednou, crossbar přepne na EMIF požadavek s nejvyšší prioritou. Po vyřízení tohoto požadavku předá rozhodovací blok následující nevyřízený požadavek ke zpracování. [7]

6 Praktický návrh řídicího systému

Systém bylo zapotřebí navrhnut tak, aby byl co nejvíce modulovatelný, a to hlavně z důvodu následné široké možnosti použití. Každá aplikace si totiž vyžaduje jiné komponenty. Proto bylo přistoupeno ke konstrukci inspirované architekturou vestavného počítače PC/104. Tento umožňuje jakoukoliv konfiguraci, jelikož se počítač skládá z přídatných karet. Tyto karty mohou obsahovat další AD/DA převodníky, externí paměti, budiče tranzistorů, filtry, převodníky na komunikaci (např. RS232), bezdrátové prvky či spoustu dalších.



Obrázek 29 Ukázka architektury PC/104 [XXVI]

6.1 Zadaná specifikace

Požadavkem bylo využít piny procesoru z co největší části. Na systém jsou následující požadavky:

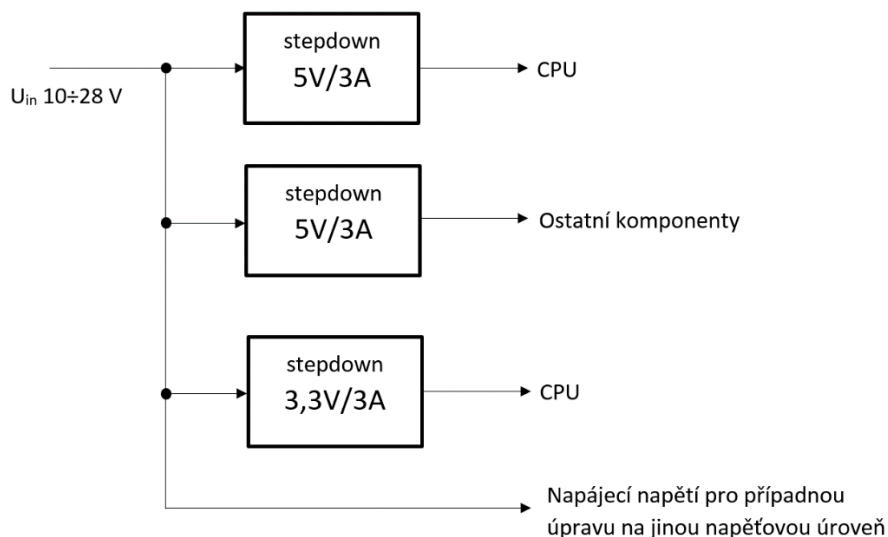
- Vyvedená externí 16bitová datová sběrnice
- 20bitová adresová sběrnice
- Chip select pro výběr paměťového prostoru EMIF
- Sběrnice I2C
- 2x SPI
- Sběrnice RS422 (skrze převodník z SCI)
- 2x UART
- 2x CAN
- Čidlo polohy
- 8x PWM
- 10x GPIO
- 8x analogový vstup
- 2x analogový výstup
- Zdroj 5 V a 3,3 V

6.2 Návrh napájecího zdroje

Zdroj je potřeba dimenzovat tak, aby byl schopen dodat dostatečný proud například i pro budiče tranzistorů, které mají poměrně vysoký špičkový odběr pro rychlé sepnutí tranzistorů a tím pak následným malým spínacím ztrátám. Důraz je také kladen na vysokou účinnost napájecího zdroje, který se projeví na výsledném oteplení zdroje. Jelikož bude systém nejspíše vestavěn do konstrukčního boxu pro PC104, je tedy nežádoucí, aby byl vnitřní prostor vyhříván výkonovými ztrátami zdroje. Rozměry plošného spoje stejně jako rozložení otvorů pro distanční sloupky, jsou kompatibilní s PC104. Rozložení konektorů však nikoli.

Úrovně napětí:

- Napájecí napětí 10-28 V
- 5 V/ 3 A – pro napájení procesoru a dalších IC
- 5 V/ 3 A – pro napájení budičů a analogových obvodů
- 3,3 V/ 3 A – pro napájení procesoru



Obrázek 30 Blokové schéma napájecího zdroje

6.2.1 Jištění

Každý step-down měnič má výstupní proud 3 A. Jelikož jsou měniče tři, bude potřeba jištění pojistkou o hodnotě 9 A. Prakticky je však potřeba vzít v potaz, že je zdroj předdimenzován a například 5 V větev pro napájení CPU nebude zatížena ani z 30 %. Taktéž nelze předpokládat, že ostatní větve budou zatíženy naplno. Proto byla zvolena nejbližší nižší pojistka 6,3 A, která bude pro použití v této aplikaci dostatečná.

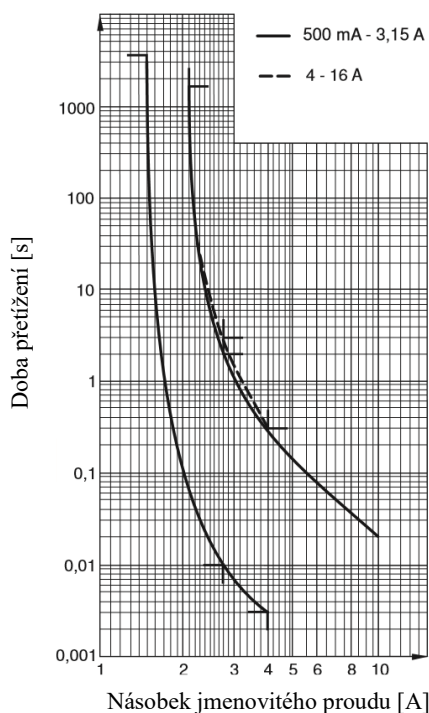
Obvod disponuje ochranou proti přepólování tvořenou paralelní diodou. Tato dioda je při přepólování orientována v propustném směru, čímž dojde ke krátkodobému zkratu vstupního napájecího napětí. Krátkodobý propustným ztrátovým výkonem je totiž nabíjena především tepelná kapacita čipu ochranné diody. Je však nutné, aby byl Jouleův tepelný integrál I^2t u ochranné diody větší než u pojistky, jinak by při přepólování došlo k proražení této diody. Tím by pak bylo zamezeno následné funkci celého zdroje.

Jelikož byla zvolena pojistka 6,3 A (rychlá), je její tepelný integrál dle katalogu firmy Shurter 30,8 A²s při desetinásobku jmenovitého proudu. Byla zvolena ochranná dioda B540C, která je používána v celém zdroji. Výrobce uvádí krátkodobý špičkový proud 100 A po dobu 8,3 ms. Její Jouleův integrál je tedy

$$I^2 t_{diody} = 100^2 \cdot 8,3 \cdot 10^{-3} = 83 \text{ A}^2\text{s}$$

$$I^2 t_{pojistky} < I^2 t_{diody}$$

Jelikož je tepelný integrál pojistky menší než tepelný integrál diody, lze tento typ diody použít.

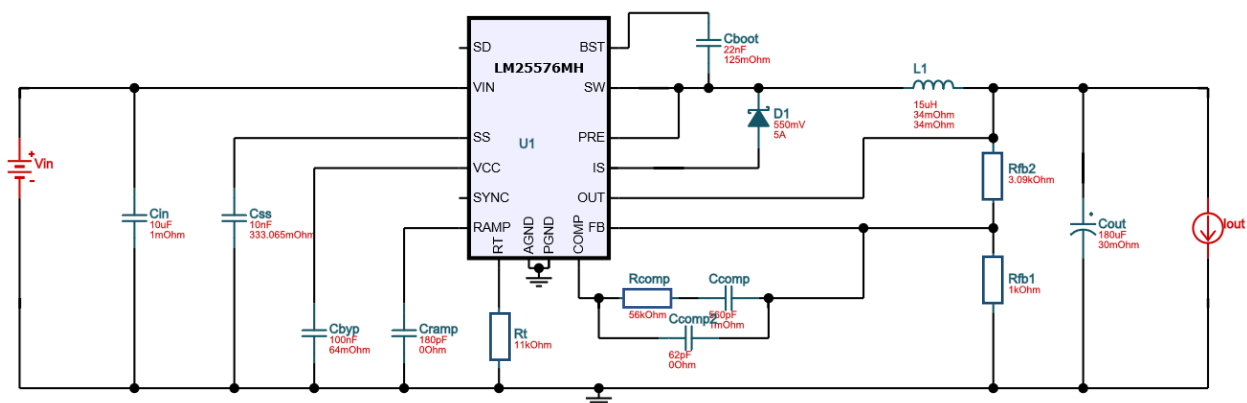


Obrázek 31 Vypínací charakteristika použité pojistky Shurter F6,3 A [XXVII]

6.2.2 Zdroj 5 V/ 3 A

Kompletní návrh zdroje byl zhotoven pomocí utility, kterou poskytuje firma Texas Instruments pod názvem Webench Power Designer. Vstupními parametry jsou rozmezí napájecího napětí, požadované výstupní napětí a výstupní proud. Výsledkem pak jsou desítky možných schémat s různými integrovanými obvody, které mají již napočítány pasivní prvky dle zadání. Jelikož je však spousta navržených obvodů postavena na základě velmi špatně sehnatelných IC, byla nakonec vybrána konstrukce s obvodem LM25576MH.

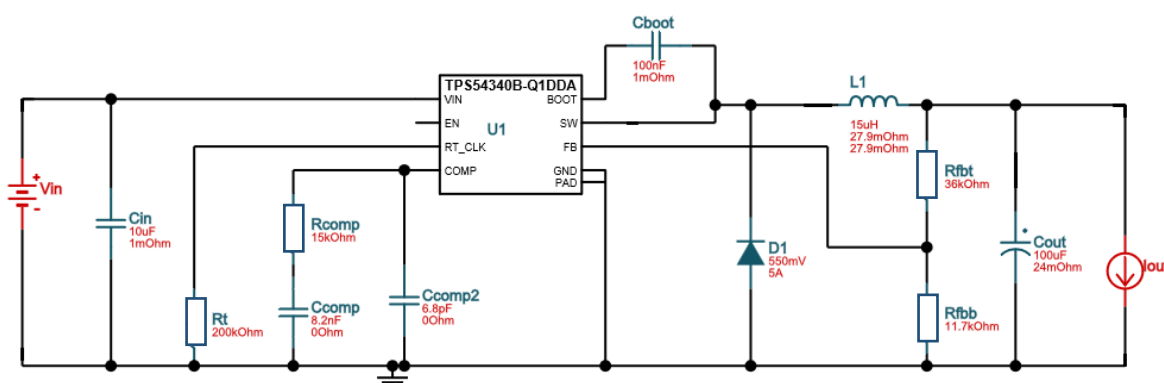
Integrovaný obvod LM25576MH je jednoduchý obvod pro stavbu spínaného regulátoru, který umožňuje sestavení s minimem podpůrných součástek. Napájecí napětí je 6-42 V, trvalý výstupní proud je až 3 A, a to díky integrovanému 170 mΩ N-kanálového MOSFET tranzistoru. Spínací kmitočet je 50 kHz až 1 MHz. [9]



Obrázek 32 Schéma zdroje 5 V/ 3 A [XXVIII]

6.2.3 Zdroj 3,3 V/ 3 A

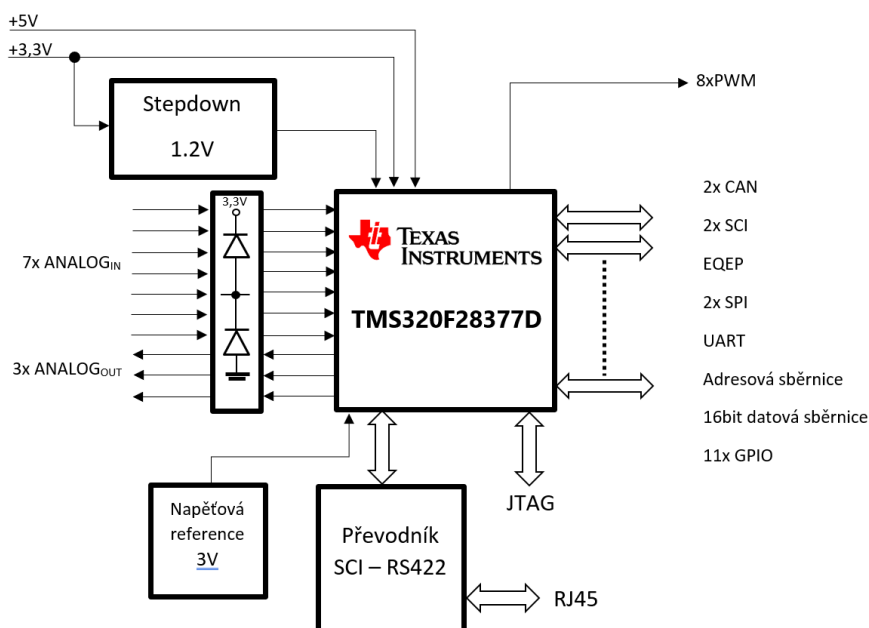
Stejně jako 5 V zdroj byl i tento navržen pomocí utility Webench Power Designer. Výsledkem je zapojení s integrovaným obvodem TPS54340. Jedná se o snižující měnič s integrovaným 92 mΩ N-kanálovým FET tranzistorem na výstupu. Trvalý výstupní proud je až 3,5 A. Proud bez zátěže dosahuje hodnot pouze 146 μA. Široké spektrum spínacích kmitočtů zaručuje vysokou účinnost. Na čipu je integrovaná ochrana proti zkratu a přehřátí.



Obrázek 33 Schéma zdroje 3,3 V/ 3 A [XXIX]

6.3 Návrh procesorové části

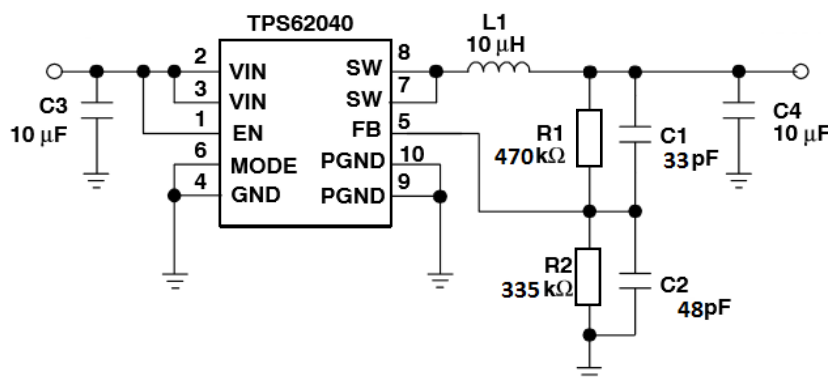
Při návrhu procesorové části bylo zapotřebí přiřadit jednotlivým pinům procesoru jejich funkci. Většina GPIO pinů má totiž omezený počet funkcí. K tomuto účelu velmi dobře slouží utilita firmy Texas Instruments s názvem PINMUX. V ní se pomocí rozklikávacích seznamů nastaví požadované funkce. Utilita se pak postará o správné přiřazení jednotlivých pinů procesoru. Toto je velmi užitečné, neboť utilita kontroluje, zda nedochází ke kolizi, kdy je jeden pin potřeba pro více funkcí.



Obrázek 34 Blokové schéma procesorové části

6.3.1 Přídavný DC-DC měnič

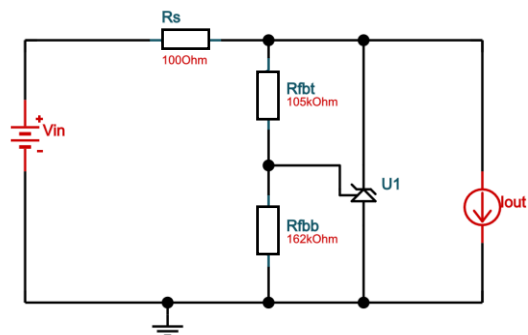
Jelikož procesor vyžaduje pro svůj chod také napájecí úroveň 1,2 V, je nutno dodělat zdroj přímo na procesorové desce. Jeho návrh je opět proveden utilitou Webench Power Designer. Ze všech možností bylo zvoleno zapojení s integrovaným obvodem TPS62040. Jedná se o synchronní snižující měnič optimalizovaný pro aplikace napájené z baterií. Sám totiž při malém odběru proudu na výstupu přechází do úsporného režimu, čímž je opět navýšena účinnost. Čip pracuje s pevnou spínací frekvencí 1,25 MHz.



Obrázek 35 Schéma DC-DC měniče na 1,2 V [XXX]

6.3.2 Napěťová reference

Analogová část obvodu, zejména pak AD a DA převodníky, používají pro svou funkci přesnou úroveň napětí. V tomto případě byl zvolen referenční obvod LM4051. Utilita Webench určila pro výstupní napětí 3 V hodnoty rezistorů nutných pro chod reference. Jelikož však tento referenční obvod není schopen dodat moc velký proud (max. 12 mA), byl jeho výstup posílen pomocí operačního zesilovače zapojeného jako buffer.

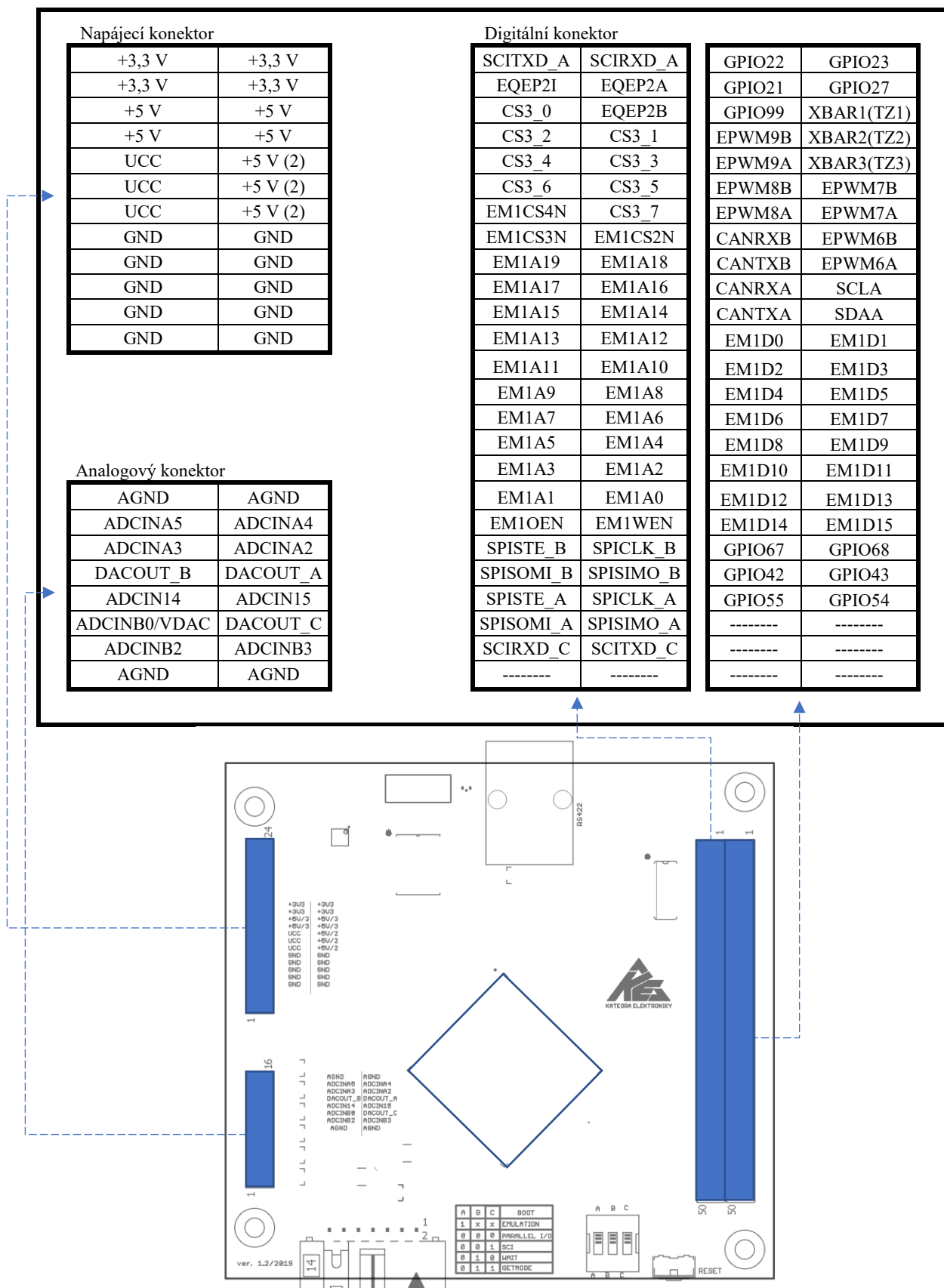


Obrázek 36 Minimální zapojení reference s výstupním napětím 3 V [XXXI]

6.3.3 Převodník SCI – RS422

Jelikož na čipu není integrován komunikační modul RS422, je potřeba požit převodník. Sběrnice je totiž díky přenosu informací po diferenčním páru vodičů velmi odolná na rušení. Další výhodou je možnost použití vedení o délce až 1200 m. Čím delší vzdálenost dvou zařízení je, tím nižší přenosové rychlosti je dosaženo.

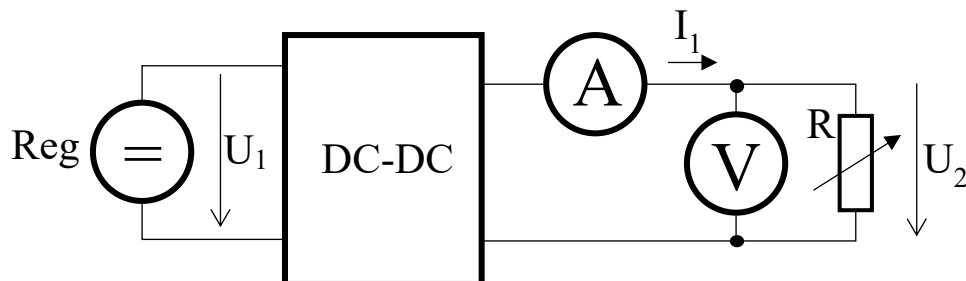
Celý převodník svou konstrukcí zajišťuje galvanické oddělení procesorové desky a okolí. To je zajištěno DC-DC měničem, který vytváří napětí pro buzení sběrnice. Doplnkovou ochranu pak tvoří kondenzátor zapojený mezi napájecí a izolovanou zem, který má pohltit případný výboj. Neméně důležité pak jsou ochranné diody signálových vodičů na straně RS422. Schéma převodníku je v příloze.



Obrázek 37 Rozložení pinů v konektorech MCU desky

6.4 Testování funkčnosti

U zdrojové desky byly změřeny zatěžovací charakteristiky, které mají o zdroji největší vypovídající hodnotu. Napájecí napětí celého měniče bylo zvoleno 13 V (přibližně napětí palubní sítě v automobilu).



Obrázek 38 Zapojení pro měření zatěžovacích charakteristik

Použité přístroje

Regulovatelný zdroj (Reg) – Volteq HY3005D-3

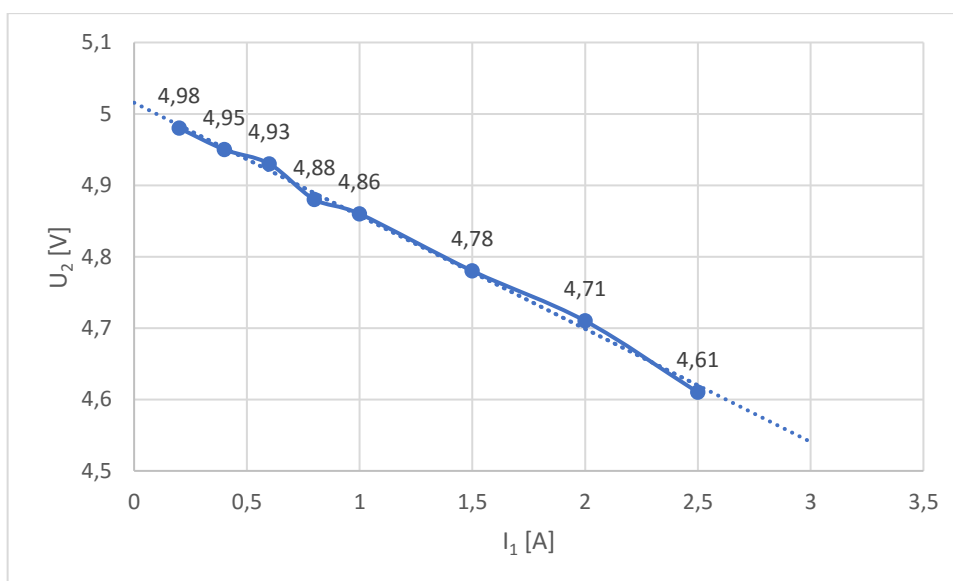
Ampérmetr (A) – Mastech MS8250D

Voltmetr (V) – Fluke 87

Reostat (R) – PR125 P12 (33 Ω / 6 A)

Tabulka 1 Hodnoty pro zatěžovací charakteristiku zdroje 5 V

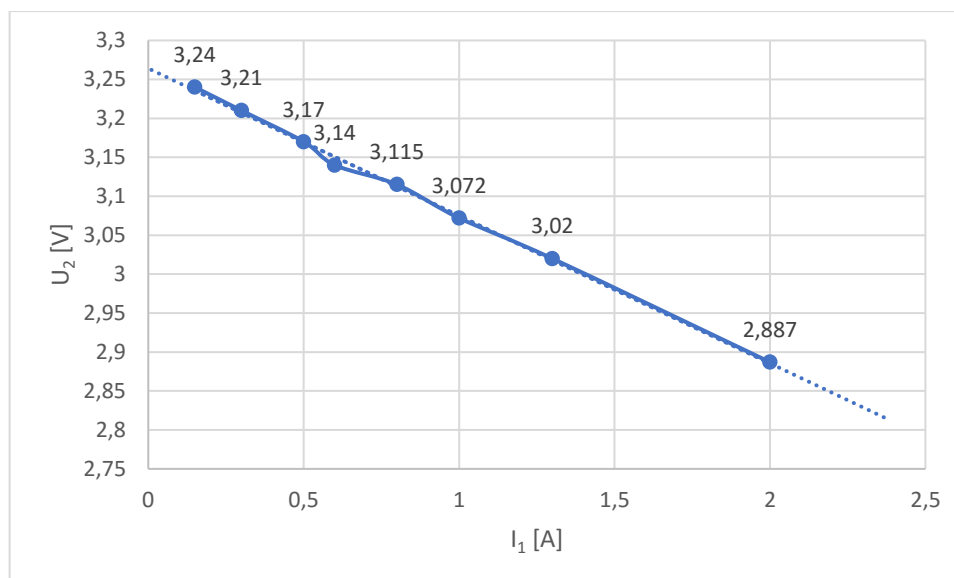
I_1 [A]	0,2	0,4	0,6	0,8	1	1,5	2	2,5
U_2 [V]	4,98	4,95	4,93	4,88	4,86	4,78	4,71	4,61



Obrázek 39 Zatěžovací charakteristika zdroje 5 V

Tabulka 2 Hodnoty pro zatěžovací charakteristiku zdroje 3,3 V

I_1 [A]	0,15	0,3	0,5	0,6	0,8	1	1,3	2
U_2 [V]	3,24	3,21	3,17	3,14	3,115	3,072	3,02	2,887



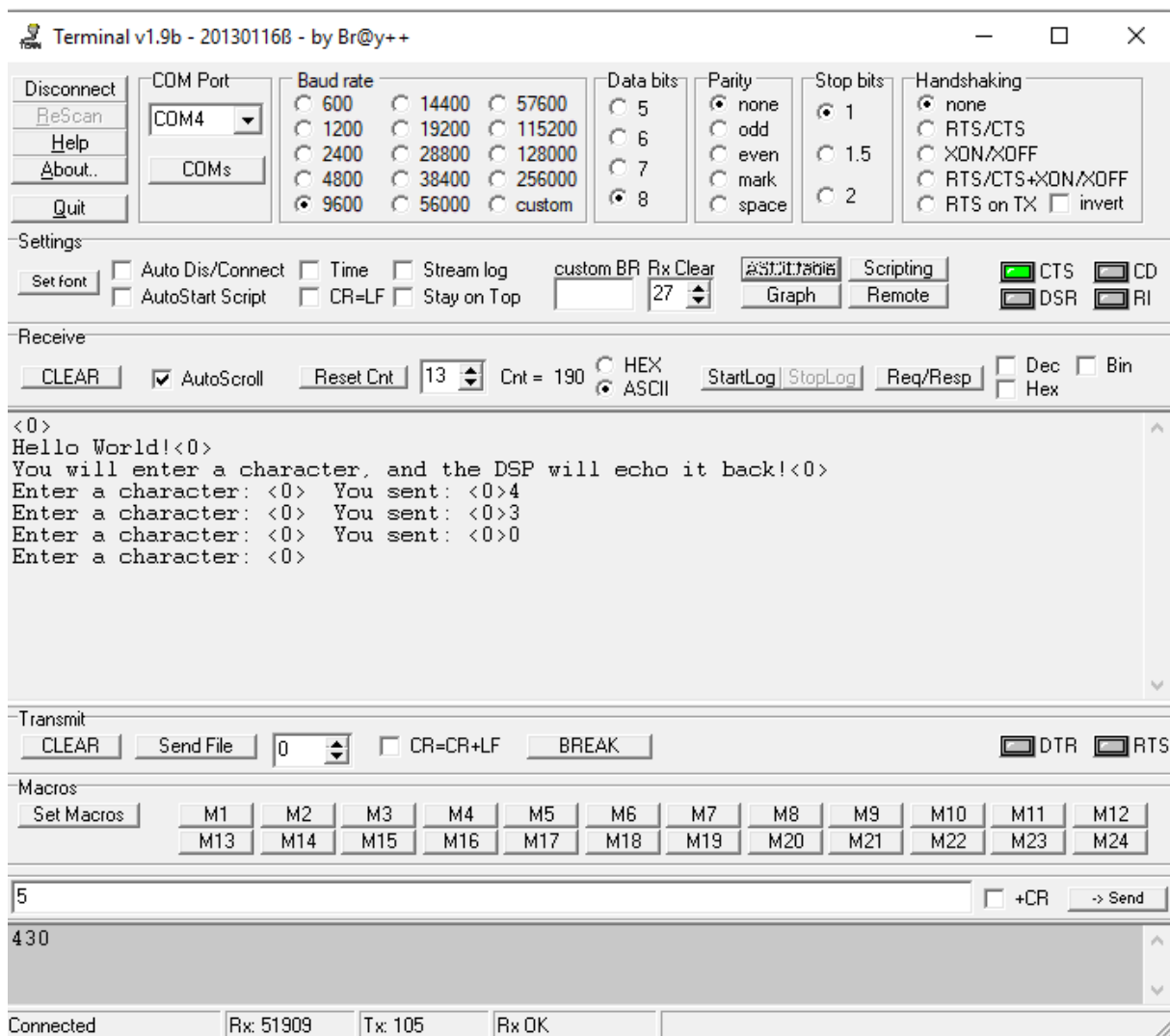
Obrázek 40 Zatěžovací charakteristika zdroje 3,3 V

Test MCU desky

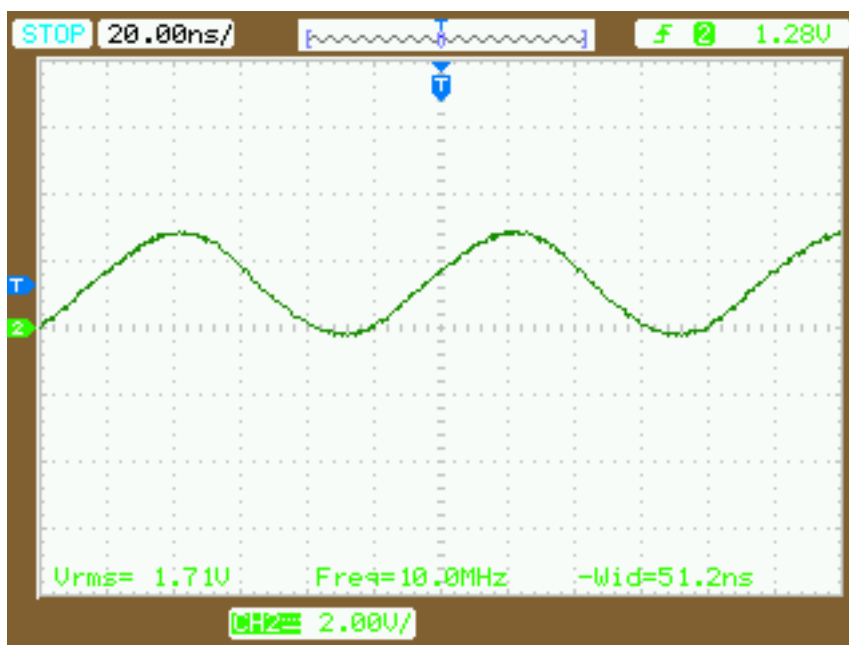
MCU deska byla otestována pouze jednoduchým způsobem. Proběhla kontrola napětí na výstupu stepdown měniče poskytujícího úroveň 1,2 V. Byla naměřena hodnota 1,245 V. Dále proběhla kontrola referenčního napětí 3 V pro DA převodníky (naměřeno 3,02 V). Nejdůležitější bod testování však je kontrola komunikace s programem Code Composer Studio v počítači skrze JTAG.

V počítači byl nainstalován program C2000Ware obsahující ukázky programů a podpůrnou dokumentaci k procesorům této řady. Škála ukázkových programů je velmi široká – obsahuje programy pro téměř všechny komponenty v procesoru. Vývojář si pomocí těchto programů může velmi ulehčit práci s psaním software. Adresář s programy obsahuje soubory s příponou *.c a také soubory Code Composer Studio. Stačí tedy projekt přímo otevřít a přes debugger nahrát do procesoru.

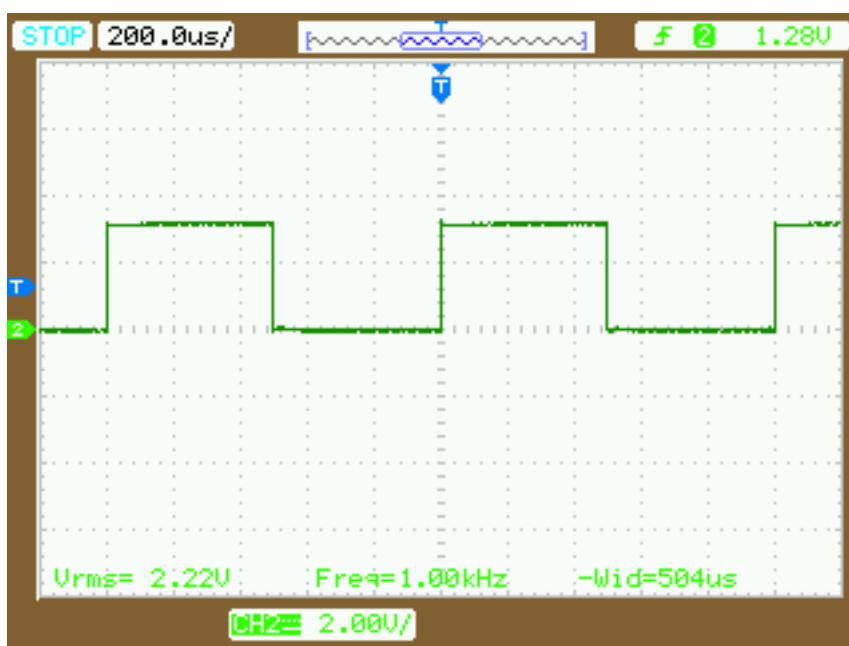
Pro test MCU byly použity programy *led_ex1_blinky* a *sci_ex3_echoback*. První zajišťuje blikání pro LED na GPIO21. V programu byla upravena perioda přerušení na 500 us, čímž je získán výstupní kmitočet pro blikání 1 kHz. Druhý program testuje komunikaci po SCI sběrnici, na které je umístěn také převodník na RS422. Procesor je tedy s počítačem spojen skrze ethernetový kabel. V počítači běží program *Terminal v1.9b*, přes který probíhá komunikace s procesorem. Procesor vyšle na začátku programu hlášku *Hello World*, po čemž čeká na zadání znaku od uživatele. Pokud uživatel nějaký znak přes klávesnici zadá, procesor jej přijme a pošle zpět na terminál.



Obrázek 41 Ukázka komunikace procesoru a PC při nahraném demo programu SCI_ex3_echoback



Obrázek 42 Zachycení taktovacího signálu 10MHz z rezonátoru



Obrázek 43 Signál vygenerovaný demo programem pro blikání LED

7 Závěr

Cílem této práce bylo přiblížení všech důležitých periférií kontroléru TMS320F2837xD, který je použit v návrhu nového řídicího systému. V úvodu práce jsou popsány možnosti použití tohoto systému, které jsou velmi široké – od využití v invertorech pro solární panely přes zpracování signálů až po řízení měničů elektromotorů. Popis jednotlivých periférií byl oproti dokumentaci výrobce značně zkrácen, neboť není v možnostech této práce popsat vše. Stačí to však pro přiblížení všech funkcí a základnímu popisu.

Praktická část práce je navržena s ohledem na co největší možnost modulovatelnosti. Proto byla zvolena architektura inspirována vestavným počítačem PC/104, který se skládá z přídatných karet. Tyto karty pak mohou obsahovat prvky pro komunikaci s okolím (drátovou i bezdrátovou), budiče tranzistorů pro měnič, externí paměti či jakoukoliv jinou periférii potřebnou pro požadovanou aplikaci. V rámci této práce byl proveden návrh zdrojové desky poskytující potřebné napájecí úrovně a desky s mikrokontrolérem samotným. Tímto vznikl minimální základ, který bude potřeba rozšířit dalšími přídatnými kartami (kupříkladu v rámci jiné diplomové práce).

Otestování proběhlo vynesemím zatěžovacích charakteristik napájecího zdroje a odzkoušením detekce mikrokontroléru skrze JTAG v programu Code Composer Studio. Taktéž byl odzkoušen převodník komunikace z SCI na RS422. Díky němu probíhala komunikace s uživatelem skrze Terminal na PC.

8 Použité zdroje

- [1] TEXAS INSTRUMENTS. *TMS320F2837xD Dual-Core Delfino™ Microcontrollers datasheet (Rev. K)* [online]. Dallas, USA, 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tms320f28377d.pdf>
- [2] INSTRUMENTS, Texas. *C2000 real-time control MCUs – Electric vehicles* [online]. [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/microcontrollers/c2000-real-time-control-mcus/applications/ev-inverter.html>
- [3] *C2000™ MCU DesignDRIVE Solutions for Industrial Motor Drives* [online]. TEXAS INSTRUMENTS. 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ml/sway024/sway024.pdf>
- [4] INSTRUMENTS, Texas. *Sensing and signal processing* [online]. Dallas, 2019 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/microcontrollers/c2000-real-time-control-mcus/applications/sensing-signal-processing.html>
- [5] INSTRUMENTS, TEXAS. *Solar digital power* [online]. Dallas, 2019 [cit. 2019-04-07]. Dostupné z: <http://www.ti.com/microcontrollers/c2000-real-time-control-mcus/applications/solar-digital-power.html>
- [6] *Applications of TI MCUs* [online]. 2018 [cit. 2019-04-07]. Dostupné z: <http://www.ti.com/applications>
- [7] *TMS320F2837xD Dual-Core Delfino Microcontrollers: Technical reference manual* [online]. Dallas, 2019 [cit. 2019-04-07]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [8] TMS320C672x DSP External Memory Interface (EMIF), User's Guide. [online]. Dallas, 2019 [cit. 2019-04-07]. Dostupné z: <http://www.ti.com/lit/ug/spru711c/spru711c.pdf>
- [9] *LM25576 42-V, 3-A Step-Down Switching Regulator* [online]. In: TI.com. Dallas, 2017, s. 29 [cit. 2019-04-15]. Dostupné z: <http://www.ti.com/lit/ds/symlink/lm25576.pdf>

9 Zdroje obrázků

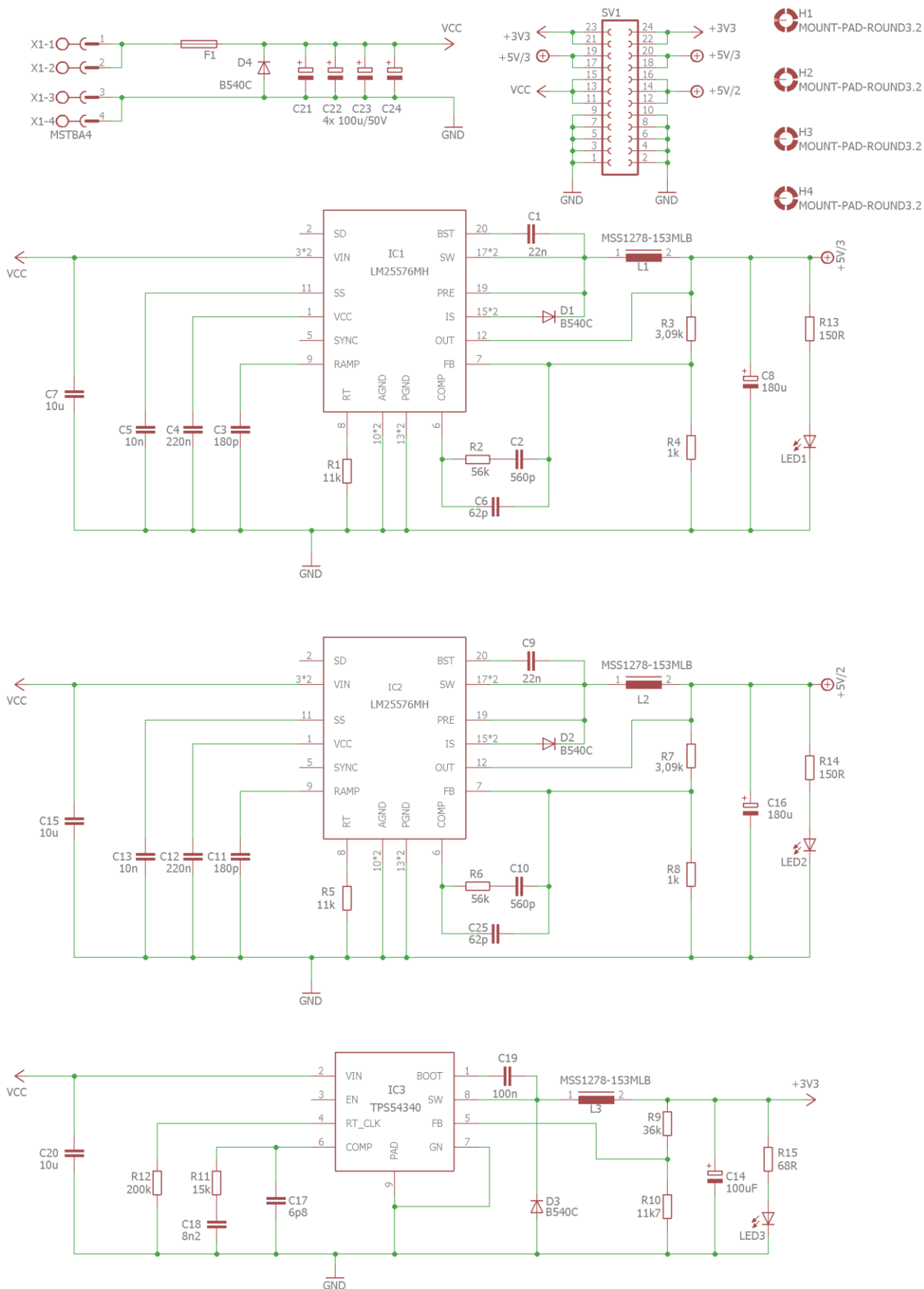
- [I] Industrial drive system, MCU + FPGA. In: *Ti.com* [online]. Dallas, 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ml/sway024/sway024.pdf>
- [II] Industrial drive control SoC - C2000 TMS320F28379 MCU. In: *Ti.com* [online]. Dallas, 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ml/sway024/sway024.pdf>
- [III] Enabling very fast system response in changing load conditions, the C28x MCU with the TMU challenges FPGA torque-loop performance. In: *Ti.com* [online]. Dallas, 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ml/sway024/sway024.pdf>
- [IV] Viterbi Complex Unit (VCU II) performs efficient complex math and signal processing functions. In: *Ti.com* [online]. Dallas, 2018 [cit. 2019-04-05]. Dostupné z: <http://www.ti.com/lit/ml/sway024/sway024.pdf>
- [V] Digital vs analog power system control. In: *TI* [online]. Dallas [cit. 2019-04-07]. Dostupné z: <http://www.ti.com/content/dam/ticom/images/products/ic/microcontrollers/performance/diagram/digital-vs-analog-power-system-control.png>
- [VI] Device interrupt architecture. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-08]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [VII] Interrupt Propagation Path. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-08]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [VIII] CPU Watchdog Timer Module. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-08]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [IX] Parallel boot ROM. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [X] CLA (Type 1) Block diagram. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XI] Input Qualification Using a Sampling Window. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XII] Input X-BAR. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XIII] GPIO Output X-BAR Architecture. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XIV] Single-Ended Input Model. In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-09]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XV] Differential Input Model . In: *TI.COM* [online]. Dallas, 2019 [cit. 2019-04-10]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>

- [XVI] *DAC Module Block Diagram* [online]. In: TI.com [online]. Dallas, 2019 [cit. 2019-04-18]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XVII] *Submodules and Signal Connections for an ePWM module*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XVIII] *Time-Base Frequency and Period*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XIX] *Counter-Compare Event Waveforms in Up-Count Mode*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XX] *Configuration Options for the Dead-Band Submodule*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XXI] *PWM Chopper Submodule Waveforms Showing the First Pulse and Subsequent Sustaining Pulses*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XXII] *Capture and APWM Modes of Operation*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-11]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XXIII] *Incremental encoder principle*. In: ResearchGate[online]. [cit. 2019-04-13]. Dostupné z: https://www.researchgate.net/figure/Incremental-encoder-principle-25_fig19_309674149
- [XXIV] *Typical SCI Data Frame Format*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-13]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XXV] *Multiple I2C Devices Connected*. In: TI.COM [online]. Dallas, 2019 [cit. 2019-04-13]. Dostupné z: <http://www.ti.com/lit/ug/spruhm8h/spruhm8h.pdf>
- [XXVI] *PC104 Vehicles Industrial Applications* [online]. In: Small Form Factors. [cit. 2019-04-15]. Dostupné z: <http://smallformfactors.mil-embedded.com/articles/pc104-vehicles-industrial-applications>
- [XXVII] *Vypínací charakteristika pojistky* [online]. In: GME. [cit. 2019-04-15]. Dostupné z: <https://www.gme.cz/data/attachments/dsh.633-243.1.pdf>
- [XXVIII] *Switching regulator* [online]. In: WEBENCH. [cit. 2019-04-15]. Dostupné z: <https://webench.ti.com/power-designer/switching-regulator/customize/4>
- [XXIX] *Switching regulator* [online]. In: WEBENCH. [cit. 2019-04-15]. Dostupné z: <https://webench.ti.com/power-designer/switching-regulator/customize/5>
- [XXX] *Adjustable Output Voltage Version* [online]. In: TI. Dallas, 2018 [cit. 2019-04-15]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tps62040.pdf>
- [XXXI] *Adjustable voltage reference* [online]. In: WEBENCH. [cit. 2019-04-15]. Dostupné z: <https://webench.ti.com/power-designer/switching->

regulator/customize/8?AppType=ADJ&Flavor=None&O1I=0.01&O1V=3&Topology=BUCK&VinMax=5&VinMin=4&VoltageOption=None&base_pn=LM4051-N&flavor=None&lang_chosen=en_US&op_TA=30&optfactor=3&origin=pf_panel&refpage=http:%2F%2Fwww.ti.com%2Fproduct%2FLM4051-N

10 Přílohy

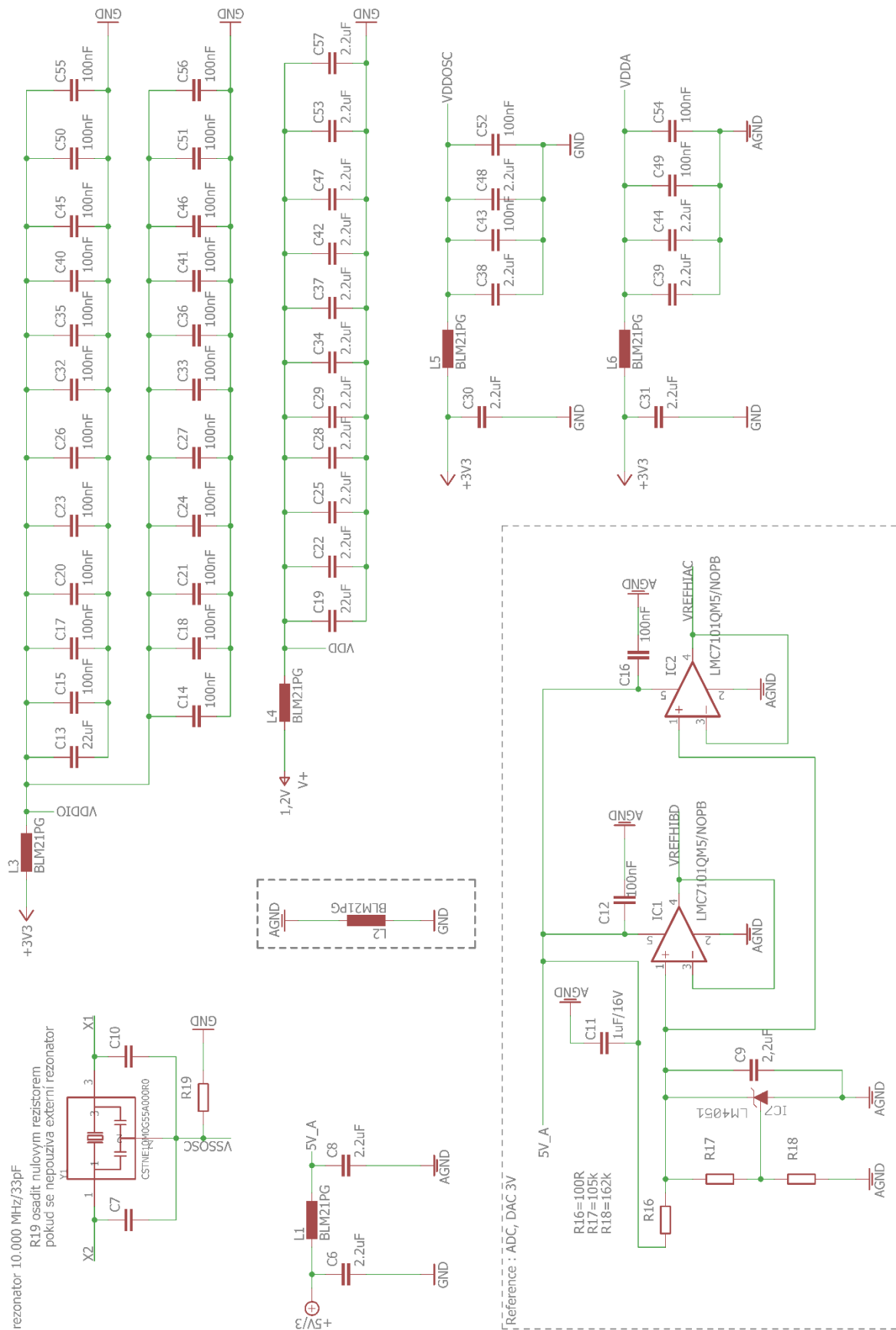
Příloha 1 Kompletní schéma napájecího zdroje.....	52
Příloha 2 Soupiska součástek pro zdroj	53
Příloha 3 Schéma MCU desky (část1)	54
Příloha 4 Schéma MCU desky (část 2)	55
Příloha 5 Schéma MCU desky (část 3)	56
Příloha 6 Schéma převodníku SCI – RS422	57
Příloha 7 Soupiska součástek pro MCU desku	58
Příloha 8 Vizualizace zdrojové desky v programu SketchUp	60
Příloha 9 Vizualizace výsledného návrhu v programu SketchUp	60



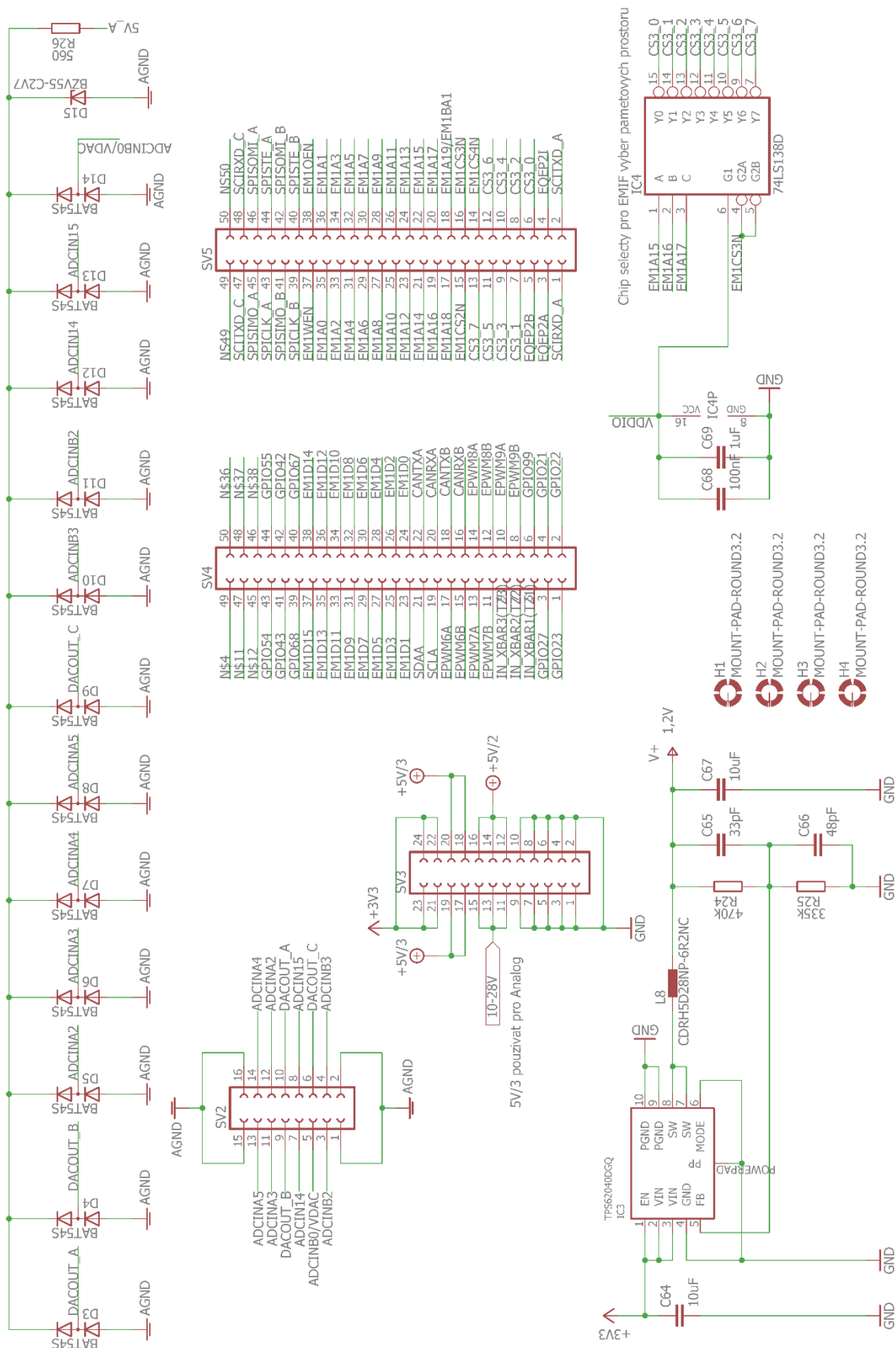
Příloha 1 Kompletní schéma napájecího zdroje

Příloha 2 Soupiska součástek pro zdroj

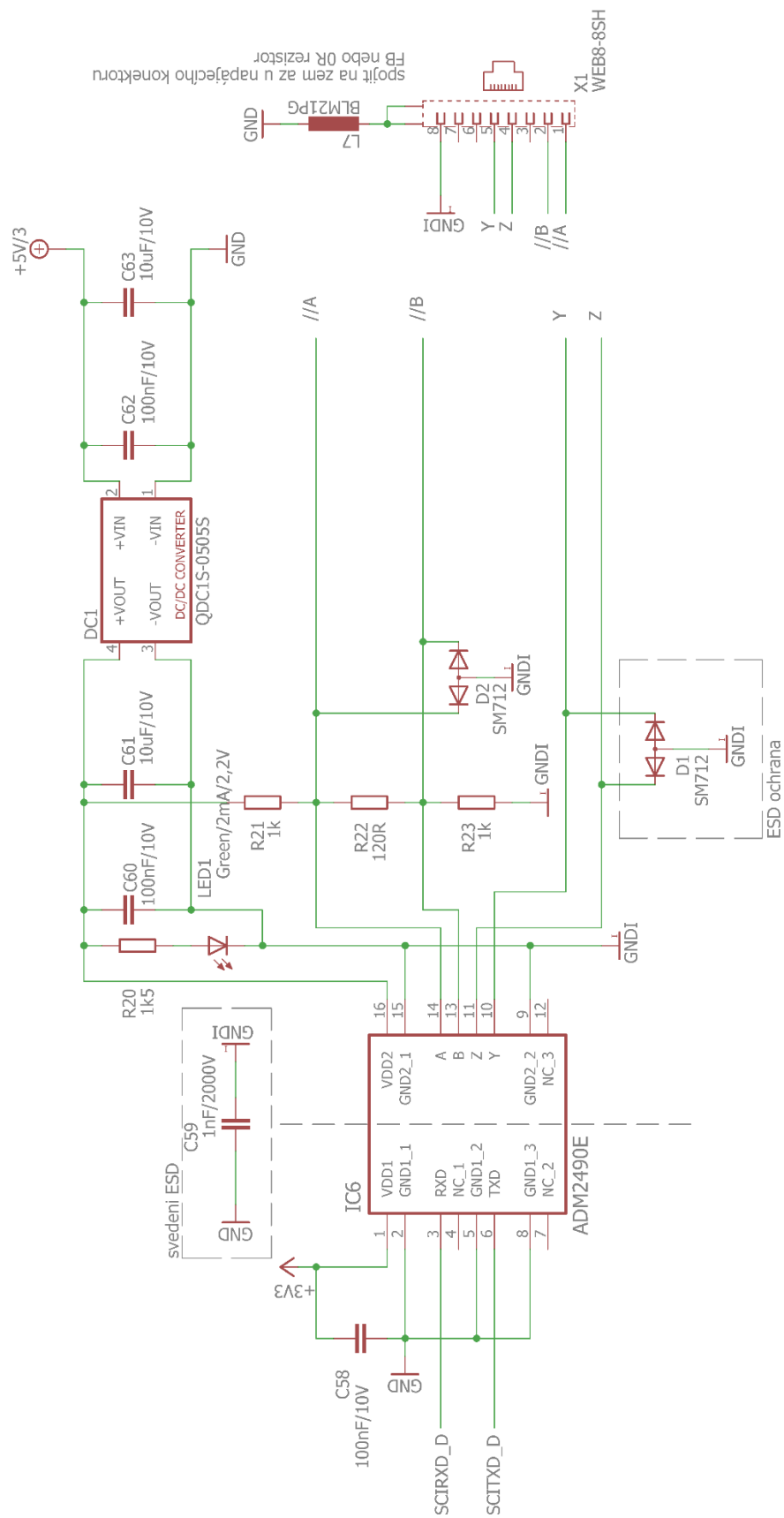
Označení ve schématu	Hodnota	Pouzdro	Přesný typ	Kusy
C1, C9	22nF	0805		2
C2, C10	560pF	0805		2
C3, C11	180pF	0805		2
C4, C12	220nF	0805		2
C5, C13	10nF	0805		2
C6, C25	62pF	0805		2
C7, C15, C20	10uF/50V	1206	GRT31CR61H106KE01L	3
C8, C16	180uF/16V		16SVP180MX	2
C14	100uF/16V		16SVPC100M	1
C17	6,8pF	0805		1
C18	8,2nF	0805		1
C19	100nF	0805		1
C21,C22,C23,C24	100uF/50V		MCVVT050M101FB3L	4
R1, R5	11k Ω /1%	0805		2
R2, R6	56k Ω /1%	0805		2
R3, R7	3,09k Ω /1%	0805		2
R4, R8	1k Ω /0,1%	0805		2
R9	36k Ω /1%	0805		1
R10	11,7k Ω /0,1%	0805		1
R11	15k Ω /1%	0805		1
R12	200k Ω /1%	0805		1
R13, R14	150 Ω /1%	0805		2
R15	68 Ω /1%	0805		1
D1, D2, D3, D4		DO-214AB	B540C-13-F	4
L1, L2, L3	15uH/4,9A	DR125	MSS1278-153MLD	3
LED1, LED2, LED3	2V/20mA	0805	5988170102F	3
IC1, IC2		HTSSOP-20	LM25576MHX	2
IC3		PPAD-8	TPS54340DDA	1
X1		svorkovnice	PTR STLZ950/4G-5.08-H-GREEN	1
F1	6,3A	5x20	SCHURTER 0031.8201	1



Příloha 4 Schéma MCU desky (část 2)



Příloha 5 Schéma MCU desky (část 3)

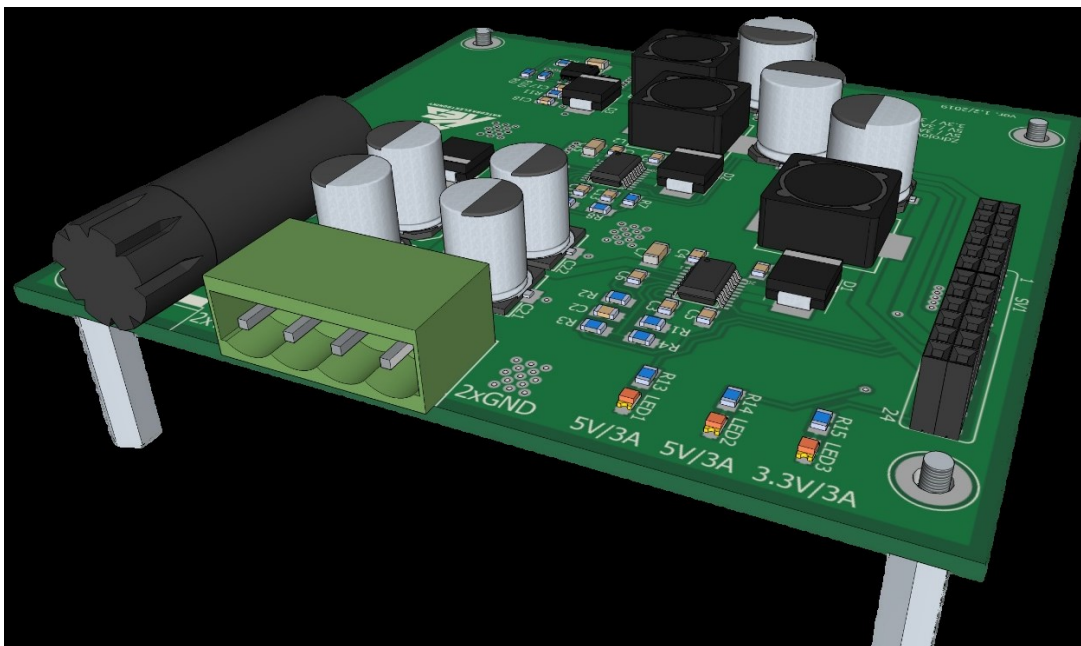


Příloha 6 Schéma převodníku SCI – RS422

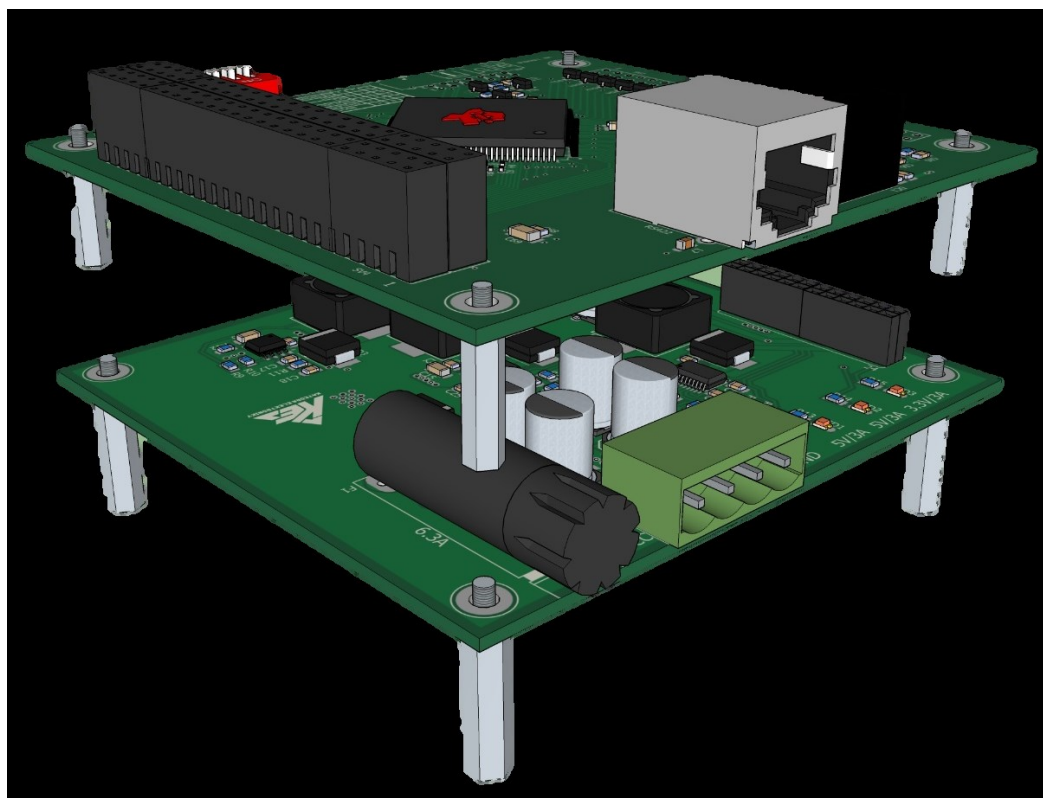
Příloha 7 Soupiska součástek pro MCU desku

Označení ve schématu	Hodnota	Pouzdro	Přesný typ	Poznámka	Kusy
C1	1 uF	0805			1
C2,C4,C13,C19	22 uF	1206			4
C3,C12,C16,C58,C60,C62,C68	100 nF	0805			7
C5,C14,C15,C17,C18,C20,C21,C23,C24,C26,C27,C32,C33,C35,C36,C40,C41,C43,C45,C46,C49,C50,C51,C52,C54,C55,C56	100 nF	0603			27
C6,C8,C9,C30,C31,C38,C39C44,C48	2,2 uF / 16 V	0805			9
C22,C25,C28,C29,C34,C37,C42,C47,C53,C57	2,2 uF / 10 V	0603			10
C11,C69	1 uF / 25 V	0805			2
C59	1 nF/2000 V	1812			1
C61,C63,C64,C67	10 uF / 10 V	0805			4
C65	33 pF	0805			1
C66	47 pF	0805			1
D1, D2		SOT23	SM712	ESD ochranná dioda	2
D3 - D14		SOT23	BAV199		11
D15		SOD80	BZV55-C2V7	Zenerova dioda	1
DC1		4SIL	QDC1S-0505S	DC-DC měnič	1
IC1, IC2		SOT23-5	OPA378	Buffer	2
IC3		MSOP-10	TPS62040DGQ	Stepdown	1
IC4		SO16	74LS138D	Chipselect	1
IC5		QFP177	TMS320F28379D		1
IC6		SOIC12	ADM2490E		1
IC7		SOT23	LM4051	Reference	1
L1-L7		2012	BLM21PG	Feritová perla	7
L8		6MMX6MM	CDRH5D28NP		1
LED	2,2 V/ 2 mA	1206			1
R1, R2	60 Ω / 5%	0402			2
R3,R4	3,3 k Ω / 5%	0402			2
R5,R7, R11, R15	4,7 k Ω / 5%	0805			4
R6,R8	0,1 Ω / 1%	0805			2
R9, R12, R13, R14	2,2 k Ω / 5%	0805			4
R10, R16	100 Ω / 5%	0805			2
R17	105 k Ω / 5%	0805			1
R18	162 k Ω / 5%	0805			1
R20	1,5 k Ω / 5%	0805			1

R21, R23	1 k Ω / 5%	0805			2
R22	120 Ω / 5%	0805			1
R24	470 k Ω / 5%	0805			1
R25	335 k Ω / 5%	0805			1
R26	560 Ω / 5%	0805			1
S1		B3F-31XX		tlačítko RESET	1
SV1		ML14L		JTAG konektor	1
SV2		FE08-2		Konektor pro analog	1
SV3		FE12-2		Konektor pro napájení	1
SV4, SV5		FE25-2		Konektor pro digital	2
SW1		EDG-03		DIP switch pro BOOT mod	1
X1		WEB8-8SH		RJ-45 konektor	1
Y1	10 MHz	OSC-CSTCE	CSTCE10M00G55	Rezonátor	1



Příloha 8 Vizualizace zdrojové desky v programu SketchUp



Příloha 9 Vizualizace výsledného návrhu v programu SketchUp